

**CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DE
MINAS GERAIS**

**Programa de Pós-Graduação em Engenharia Elétrica
Associação ampla entre CEFET-MG e UFSJ**

VINÍCIUS MARINHO SILVA

**ESTUDO, MODELAGEM E CONTROLE DE UM CONVERSOR
MODULAR MULTINÍVEL EM DUPLA ESTRELA COM CÉLULAS MEIA
PONTE SOB AÇÃO DE FALTAS**



**Belo Horizonte
2020**

VINÍCIUS MARINHO SILVA

**ESTUDO, MODELAGEM E CONTROLE DE UM CONVERSOR
MODULAR MULTINÍVEL EM DUPLA ESTRELA COM CÉLULAS MEIA
PONTE SOB AÇÃO DE FALTAS**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro Federal de Educação Tecnológica de Minas Gerais em ampla associação com a Universidade Federal de São João del-Rei como parte dos requisitos exigidos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de Concentração: Modelagem e Controle de Sistemas

Orientador: Marcelo Martins Stopa

Coorientador: Alex Sander Amável Luiz

Belo Horizonte

2020

Silva, Vinícius Marinho
S586e Estudo, modelagem e controle de um conversor modular multinível em dupla estrela com células meia ponte sob a ação de faltas / Vinícius Marinho Silva. – 2021.
82 f.: il., gráfs, tabs.

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica em associação ampla entre a UFSJ e o CEFET-MG.
Orientador: Marcelo Martins Stopa.
Coorientador: Alex Sander Amável Luiz
Dissertação (mestrado) – Centro Federal de Educação Tecnológica de Minas Gerais.

1. Conversores – Controle de qualidade – Teses. 2. Engenharia elétrica – Teses. 3. Controladores elétricos – Teses. I. Stopa, Marcelo Martins. II. Luiz, Alex Sander Amável. III. Centro Federal de Educação Tecnológica de Minas Gerais. IV. Universidade Federal de São João del-Rei. V. Título.

CDD 621.313

Elaboração da ficha catalográfica pela bibliotecária Jane Marangon Duarte,
CRB 6ª 1592 / Cefet/MG

VINÍCIUS MARINHO SILVA

**ESTUDO, MODELAGEM E CONTROLE DE UM CONVERSOR
MODULAR MULTINÍVEL EM DUPLA ESTRELA COM CÉLULAS MEIA
PONTE SOB AÇÃO DE FALTAS**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro Federal de Educação Tecnológica de Minas Gerais em ampla associação com a Universidade Federal de São João del-Rei como parte dos requisitos exigidos para a obtenção do título de Mestre em Engenharia Elétrica.

Aprovada em __ de _____ de 2020

COMISSÃO EXAMINADORA

Orientador: Prof. Dr. Marcelo Martins Stopa
Centro Federal de Educação Tecnológica de Minas Gerais

Coorientador: Prof. Dr. Alex-Sander Amável Luiz
Centro Federal de Educação Tecnológica de Minas Gerais

Membro: Prof. Dr. Allan Fagner Cupertino
Centro Federal de Educação Tecnológica de Minas Gerais

Membro: Prof. Dr. Heverton Augusto Pereira
Centro Federal de Educação Tecnológica de Minas Gerais /
Universidade Federal de Viçosa

Membro: Prof. Dr. Marcos Antônio Severo Mendes
Universidade Federal de Minas Gerais

*Dedico este trabalho à Deus e minha família,
que me apoiaram pacientemente durante todo
este período árduo de dedicação e trabalho.*

Agradecimentos

Agradeço primeiramente à Deus pela dádiva da vida, por ter me proporcionado forças para persistir no que eu acreditava e por, nos momentos mais difíceis, não ter me deixado desistir de minhas convicções.

Agradeço à minha família pelo apoio incondicional, em especial, ao meus pais, Jorge e Laura e meus irmãos, Victor e Vanessa, por todo o apoio e companheirismo durante toda minha vida. Agradeço também, em especial, à Conceição, Aldinha e Jusmerinda pela preocupação, apoio e torcida pelo meu sucesso.

À Kelly e sua família pelo carinho, apoio, paciência nos muitos momentos que me ausentei e por sempre acreditarem no meu potencial.

Ao meu orientador, Marcelo Stopa, e coorientador, Alex Sander, pelos ensinamentos, apoio e compreensão nos momentos mais desafiadores do projeto.

Aos professores do CEFET MG e da UFMG pelo compartilhamento do conhecimento para comigo através das disciplinas cursadas, em especial, ao professor Allan.

Sou grato também à FAPEMIG, pela concessão da bolsa de estudos durante boa parte do mestrado e ao CEFET MG por ter sido cenário de uma importante etapa de minha vida de crescimento pessoal e profissional.

A todos os profissionais dedicados do CEFET MG que, direta ou indiretamente, contribuem diariamente para a manutenção, limpeza e suporte da instituição para que esta se situe sempre entre as melhores do país.

Agradeço também à UFOP e aos grandes amigos que lá fiz. Uma excelente instituição onde dei início à minha carreira profissional na inovação e pesquisa atuando como professor substituto durante a etapa final do mestrado.

Lembrarei com saudades da sala CCC (Centro de Computação Científica), do apartamento 401 e da famosa “salinha” de estudos do mestrado onde, meio a longos períodos de estudo, estenderam-se inúmeros debates interessantes e agradáveis momentos de descontração com pessoas das mais diferentes regiões do país.

Não poderia esquecer também dos grupos “Conhecedores da Música” e “Sr. Engenheiro” pelas inúmeras risadas oferecidas após dias extremamente exaustivos.

Agradeço também aos meus amigos, de longa data e aos que fiz durante esta trajetória, em especial, à Marlos, Jorge, Waldri, Marcelo, Papa Capim, Isabel, Suzanne, Tales, Ronilson, Fábio, Roberta, Maria Versiani e aos demais, aos quais não pude citar. Saibam que todos os momentos e desafios que passamos juntos edificaram meu caráter e ficarão eternizados para sempre em minha memória. A todos vocês, o meu muito obrigado.

“Nada no mundo se compara à persistência. Nem o talento; não há nada mais comum do que homens malsucedidos e com talento. Nem a genialidade; a existência de gênios não recompensados é quase um provérbio. Nem a educação; o mundo está cheio de negligenciados educados. A persistência e determinação são, por si sós, onipotentes. O slogan "não desista" já salvou e sempre salvará os problemas da raça humana.”

Calvin Coolidge

Resumo

Os conversores modulares multiníveis se popularizaram na indústria em diversas aplicações como sistemas de transmissão CA flexíveis, compensadores síncronos estáticos, controle de motores, dentre outros. Apesar de possuírem as vantagens de uma constituição modular e escalável, esta classe de conversores são vulneráveis à faltas em seus submódulos, o que pode acarretar prejuízos de maquinário e desempenho. Por conta disso, o presente trabalho tem como propósito abordar a modelagem e controle de um conversor modular multinível em dupla estrela utilizando células meia ponte em condições plenas e sob faltas em 25%, 50% e 75% dos submódulos de cada fase. Visa-se, mediante estas condições, obter a máxima transferência de energia nos terminais de saída com o mínimo conteúdo harmônico nas formas de onda da corrente e tensão de linha ao se utilizar uma técnica de controle interno PI (Proporcional Integral) e o método de modulação SPWM (do inglês, *Sinusoidal Pulse Width Modulation*) com múltiplas portadoras, projetando-se assim um sistema *standalone* para média tensão. Também é elaborado nesta dissertação o dimensionamento deste conversor modular multinível baseando-se na capacidade de armazenamento de energia dos capacitores dos submódulos. São abordados dois métodos para a compensação de faltas nos submódulos do conversor modular multinível proposto. Um dos métodos de compensação se baseia na redistribuição de energia dos submódulos resilientes e o outro numa adaptação da técnica de deslocamento de neutro. O método para compensação de faltas baseado na redistribuição de energia dos submódulos resilientes restitui em 100% os efeitos das faltas no conversor em todas as condições propostas, tanto para as correntes quanto tensões de saída. O método para a compensação de faltas mediante deslocamento de neutro não surte efeito na compensação das faltas nas correntes e tensões de fase da carga, mas compensa em 100% os efeitos das faltas sob a tensão de linha quando estas ocorrem em até 50% do total de submódulos e restitui em 90% os efeitos da falta na tensão de linha quando estas ocorrem em 75% do total de submódulos. Simulações computacionais com especificações obtidas matematicamente foram realizadas na plataforma Matlab/Simulink para validação dos resultados.

Palavras Chave: Conversor Modular Multinível, Controle, Faltas.

Abstract

Modular multilevel converters have become popular in the industry in several applications such as flexible AC transmission systems, static synchronous compensators, motor control, among others. Despite of the advantages of a modular and scalable design, this class of converters are vulnerable to sub-modules faults, which can cause loss to machinery and performance. Due to this, the present work approaches the modeling and control of a modular multilevel converter using Half Bridge cells under full and faulty conditions of 25%, 50% and 75% of the submodules of each phase. In these conditions, the aim is to obtain the maximum energy transfer at the output terminals with the minimum harmonic content in the current and line voltage waveforms when using an internal PI control technique and the method of SPWM modulation (Sinusoidal Pulse Width Modulation) with multiple carriers, thus designing an isolated system for medium voltage. Two methods are addressed to compensate for faults in the submodules of the proposed multilevel modular converter. One of the compensation methods is based on the energy redistribution of the resilient submodules and the other one is based on an adaptation of the neutral shifting technique. The fault compensation method based on the energy redistribution of the resilient submodules restores 100% of the effects of the faults in the converter in all proposed conditions, both for currents and output voltages. The method for compensating faults using neutral shifting technique has no effect on compensating faults in the currents and phase voltages of the load, but it compensates 100% for the effects of faults under line voltage when they occur by up to 50% of the total of sub-modules and restores by 90% the effects of the line voltage fault when they occur in 75% of the total of sub-modules. Computational simulations with mathematically obtained specifications were performed on the Matlab/Simulink platform to validate the results.

Keywords: Modular Multilevel Converter, Control, Fault.

Sumário

Agradecimentos	VI
Resumo	VIII
Abstract	IX
Sumário	X
Lista de Figuras	XI
Lista de Tabelas	XIV
Simbologia	XV
Acrônimos e Abreviaturas	XVIII
Símbolos de Unidades e Grandezas Físicas	XX
1 Introdução	1
1.1 Contextualização e Relevância	1
1.2 Motivação	2
1.3 Objetivos	3
1.4 Metodologia.....	4
1.5 Organização do Texto.....	5
2 Conversores Multiníveis “Double-Star Chopper Cells” - DSCC	6
2.1 Conversores Multiníveis.....	6
2.2 O Conversor DSCC	11
2.3 Modelagem Generalizada do DSCC.....	14
2.4 Modulação do DSCC.....	16
2.5 Controle do DSCC.....	22
2.6 Estratégias de Operação Tolerantes à Faltas.....	24
2.7 Conclusões Parciais	25
3 Controle Tolerante À Faltas De Um Conversor DSCC	27
3.1 Descrição do Conversor DSCC Selecionado Para Estudo.....	27
3.2 Controle de Balanceamento das Tensões nas Células e da Corrente de Circulação	32
3.3 Método de Redistribuição de Energia Para a Compensação de Faltas	39
3.4 Método de Deslocamento de Neutro Para a Compensação de Faltas	45
3.5 Conclusões Parciais	48
4 Resultados e Discussões	49
4.1 Controle de Balanceamento das Tensões nas Células e da Corrente de Circulação e Dimensionamento do DSCC	49
4.2 Método de Redistribuição de Energia Para a Compensação de Faltas	59
4.3 Método de Deslocamento de Neutro Para a Compensação de Faltas	69
4.4 Comparação das Principais Soluções Para a Compensação de Faltas no DSCC.....	70
4.5 Conclusões Parciais	72
5 Conclusões e Propostas de Continuação	74
Referências	77
Apêndices	83
A. Tabelas Comparativas de Conversores e Resumos de Abordagens de Controle	83
B. Projetos do DSCC Para Diferentes Faixas de Potência.....	87
C. Implementações Computacionais	93

Lista de Figuras

Figura 2.1: Ilustração de uma perna de um inversor monofásico com dois (a), três (b) e n (c) níveis.	7
Figura 2.2: Ilustração dos conversores multiníveis monofásicos (a) NPC com três níveis utilizando IGCT's como interruptor, (b) FLC de três níveis com grampeamento capacitivo utilizando IGBT's, (c) conversor cascata com duas células ponte H acopladas (5 níveis) que também utiliza IGBT's, (d) Topologia multinível generalizada. ...	7
Figura 2.3: (a) Esboço do Conversor Modular Multinível básico monofásico. (b) Célula Meia Ponte ou <i>Chopper</i> (submódulo).	8
Figura 2.4: Tipos de submódulos dos conversores modulares multiníveis: (a) Full Bridge (Bridge), (b) Meia ponte (<i>Chopper</i>), (c) Célula Unidirecional, (d) Célula Multinível NPC, (e) Célula Multinível FLC, (f) Célula com inversão ressonante para transferência de potência indutiva, (g) Célula de fonte de corrente, (h) Célula M3C, (i) Célula de grampeamento duplo e (j) Célula de 5 níveis com conexão em cruz.	8
Figura 2.5: Árvore genealógica do Conversor Modular Multinível em Dupla Estrela com células Meia Ponte (DSCC).	9
Figura 2.6: Família dos conversores modulares multiníveis com suas possíveis configurações: (a) SSBC; (b) SDBC; (c) DDSxC sem acoplamento indutivo; (d) DSyC; (e) DSyC com acoplamento indutivo e (f) TSBC.	10
Figura 2.7: Projeto inicial do conversor DSCC: (a) submódulo Meia Ponte que se encontra atrelado ao braço do conversor; (b) fase de um conversor DSCC monofásico com uma perna (dois braços) e $2N$ submódulos, constando a tensão de alimentação V_{dc} e a tensão de saída V_N	11
Figura 2.8: Modos de operação dos submódulos do DSCC: (a) capacitor inserido com corrente direta, (b) capacitor inserido com corrente reversa, (c) capacitor em <i>bypass</i> com corrente direta e (d) capacitor em <i>bypass</i> com corrente reversa.	13
Figura 2.9: Conversor DSCC trifásico.	14
Figura 2.10: Principais técnicas de modulação para os conversores multiníveis.	17
Figura 2.11: Resumo das principais estratégias de modulação para os conversores multiníveis.	17
Figura 2.12: Disposição das portadoras, pulsos obtidos e espectro da tensão de fase de um DSCC monofásico de 8 níveis (4 células por braço) utilizando as técnicas SPWM DN e DF: (a) PDPWM (b) PODPWM (c) APODPWM (d) PSCPWM (e) SCRPWM. Na simulação foi considerado $m_f = 21$ ($f_c = 1260\text{Hz}$), $f_{fund} = 60\text{Hz}$ e barramento CC de 100V.	20
Figura 2.13: Diagrama de blocos do controle de tensão dos capacitores: (a) controle da média de tensão e (b) controle do balanceamento de tensão SPWM-DSCC.	23
Figura 2.14: Tensão de comando de cada braço. À esquerda: Controle do braço positivo. À direita: Controle do braço negativo.	24
Figura 2.15: Estrutura da célula tolerante a faltas proposta por [113].	25
Figura 2.16: Proposta de submódulo redundante discutida em [120].	25
Figura 3.1: Conversor DSCC proposto de 24 células sem a inserção dos resistores dos braços (R_{Br}).	27
Figura 3.2: Relação entre a tensão inserida (V_x), disponível (v_{cja}), barramento CC (V_{dc}) e fator k_{dc}	29
Figura 3.3: Armazenamento de energia nominal do conversor DSCC utilizando e não utilizando injeção de terceiro harmônico. (a) Capacidade de armazenamento de energia em MW de potência ativa para diferentes valores de k_{max} . (b) Capacidade de armazenamento energético exigido em kJ/MW por potência ativa transferida.	31
Figura 3.4: Diagrama de blocos do controle da média de tensão dos capacitores: (a) controle da média e (b) controle do balanceamento do DSCC.	33
Figura 3.5: Tensão de comando de cada braço (controle do balanceamento) para um DSCC de 4 células por braço. À esquerda ilustra-se o controle do braço positivo e à direita o do braço negativo.	35
Figura 3.6: Etapa final do Controle da média de tensão e balanceamento dos capacitores do DSCC para fase a	36
Figura 3.7: Diagrama completo do controle aplicado nesta dissertação.	37
Figura 3.8: Inserção da chave de <i>bypass</i> SSM_j em paralelo com cada submódulo do DSCC.	40
Figura 3.9: Base de regras para controle do DSCC mediante faltas nos submódulos.	42
Figura 3.10: Tempo de resposta e isolamento do primeiro submódulo da fase a do DSCC ao ocorrer falta no instante 0,2 s.	44

Figura 3.11: Bloco encarregado da identificação e quantificação dos submódulos defeituosos. Este bloco é responsável também pela tomada de decisões para alteração da tensão de referência para um valor predefinido.	44
Figura 3.12: Soluções possíveis para correção de falta nos submódulos do conversor Cascata.	46
Figura 3.13: Diagrama de um inversor cascata de 4 submódulos (9 níveis) com inserção de falta em 1 célula, juntamente com o surgimento do ângulo de defasagem α .	47
Figura 4.1: Simulação de DSCC de 4 células por braço, com os parâmetros da Tabela 3.1 (a) Tensões de fase v_a, b, c ; (b) tensões de linha v_{ab}, v_{bc}, v_{ca} ; (c) correntes da carga I_a, b, c ; (d) controle da média e da corrente de circulação para a fase a ; (e) potência do sistema P_d ; (f) I_{circ} , correntes da carga e correntes do braço superior e inferior da fase a .	52
Figura 4.2: Controle do DSCC: (a) Comportamento da corrente de carga I_a mediante a variação do sinal de referência v_a^* .	53
Figura 4.3: Simulação de DSCC de 4 células por braço, com os parâmetros da Tabela 3.2: (a) Tensões de fase v_a, b, c ; (b) tensões de linha v_{ab}, v_{bc}, v_{ca} ; (c) correntes da carga I_a, b, c ; (d) controle da média e da corrente de circulação para a fase a ; (e) potência do sistema P_d ; (f) I_{circ} , correntes da carga e do braço superior e inferior da fase a .	56
Figura 4.4: DHT da tensão de fase, de linha e da corrente da carga para a fase a DSCC implementado para $m_f = 81$ $f_c = 4,86kHz$ e parâmetros da Tabela 3.2: (a) Tensão de fase v_a , (b) tensão de linha v_{ab} , (c) corrente da carga I_a .	57
Figura 4.5: Comportamento das tensões de fase (a), de linha (b), correntes da carga (c), controle da corrente de circulação de fase a (d), potência do sistema (e) e corrente de circulação (f) mediante a redução da amplitude para 25 %, 50 % e 75 % do sinal de referência v_a, b, c^* nos instantes 0,15, 0,20 e 0,25 segundos, respectivamente, para o novo sistema.	57
Figura 4.6: Potência dos capacitores dos submódulos do DSCC para a fase a mediante a mudança do sinal de referência v_a, b, c^* para o novo sistema proposto (mediante a redução da amplitude para 25 %, 50 % e 75 % do sinal de referência v_a, b, c^* nos instantes 0,15, 0,20 e 0,25 segundos, respectivamente).	58
Figura 4.7: Balanceamento de tensão dos capacitores dos submódulos mediante as variações na tensão de referência v_a, b, c^* (mediante a redução da amplitude para 25 %, 50 % e 75 % do sinal de referência v_a, b, c^* nos instantes 0,15, 0,20 e 0,25 segundos, respectivamente).	59
Figura 4.8: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10s, 0,20s e 0,30s, respectivamente, com reinserção dos submódulos no instante 0,45s: tensões de fase (a), tensões de linha (b) e correntes da carga (c).	61
Figura 4.9: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10s, 0,20s e 0,30s, respectivamente, para a fase a reinserindo-se os submódulos isolados no instante 0,45s: tensão de fase (a), tensão de linha (b), corrente da carga (c), tensão sobre os capacitores dos submódulos (d), potência dos capacitores dos submódulos (e) e $i_a, iU_a, iD_a, i_{circa}$ (f).	62
Figura 4.10: DHT das tensões de fase do DSCC quando operado sob a ação de faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente.	64
Figura 4.11: DHT das tensões de linha do DSCC quando operado sob a ação de faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente.	64
Figura 4.12: DHT das correntes da carga do DSCC quando operado sob a ação de faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente.	65
Figura 4.13: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores nos instantes 0,10s, 0,20s e 0,30s, respectivamente, para a fase a reinserindo-se os submódulos isolados no instante 0,45s: tensão de fase (a), tensão de linha (b), corrente da carga (c), tensão sobre os capacitores dos submódulos (d), potência dos capacitores dos submódulos (e) e $i_a, iU_a, iD_a, i_{circa}$ (f).	66
Figura 4.14: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores nos instantes 0,10s, 0,20s e 0,30s, respectivamente, com reinserção dos submódulos no instante 0,45s: tensões de fase (a), tensões de linha (b) e correntes da carga (c).	67
Figura 4.15: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos no braço superior da fase a nos instantes 0,10s, 0,20s e 0,30s, respectivamente, reinserindo-se os submódulos isolados no instante 0,45s: tensão de fase (a), tensão de linha (b), corrente da carga (c), tensão sobre os capacitores dos submódulos (d), Potência dos capacitores dos submódulos (e) e $i_a, iU_a, iD_a, i_{circa}$ (f).	68

Figura 4.16: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos no braço superior da fase *a* nos instantes 0,10s, 0,20s e 0,30s, respectivamente, com reinserção dos submódulos no instante 0,45s: tensões de fase (a), tensões de linha (b) e correntes da carga (c)..... 69

Figura 4.17: Comparação da operação do DSCC sem e com a inserção da técnica de deslocamento de neutro... 70

Figura 4.18: Diagrama resumido das possíveis soluções para correção de falta nos submódulos do DSCC. 71

Lista de Tabelas

Tabela 2.1: Resumo do estado de condução, tensão e corrente das células durante a operação do DSCC.	14
Tabela 2.2: Características importantes para o devido controle de um DSCC.	22
Tabela 3.1: Sistema de identificação de submódulos danificados.	41
Tabela 3.2: Valores de α para diferentes condições de faltas no conversor cascata.	48
Tabela 4.1: Parâmetros para a simulação do DSCC proposto.	51
Tabela 4.2: Parâmetros para a simulação do DSCC proposto.	55
Tabela 4.3: Parâmetros para a simulação do sistema DSCC sob faltas.	60
Tabela 4.4: Ganhos utilizados no controle do DSCC para cada situação de falta.	60
Tabela 4.5: Comparação das principais soluções para a compensação de faltas no DSCC.	70

Simbologia

A_C	Amplitude da portadora
A_{fund}	Amplitude da fundamental
C	Capacitância do submódulo meia ponte do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [F]
C_{barr}	Capacitância do barramento CC [V]
C_d	Capacitância da junção do diodo [F]
D	Diodo
$D_{\%}$	Ciclo de trabalho
E_{SM}	Energia nominal armazenada em cada capacitor do submódulo (valor de referência) [J]
E_{nom}	Energia nominal armazenada por braço (valor de referência) [J]
f	Frequência nominal [Hz]
f_C	Frequência da portadora [Hz]
f_{eq}	Frequência equivalente [Hz]
f_{fund}	Frequência fundamental [Hz]
h_M	Amplitude dos harmônicos ímpares M
H	Constante unitária da capacitância (do inglês, <i>Unit Capacitance Constant</i>) [s]
H_M	Magnitude de cada harmônico ímpar
I_A	Corrente de circulação do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte monofásico da Figura 3.23 [A]
I_{Da}	Corrente do braço inferior de fase a do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [A]
i_c	Corrente do coletor do IGBT [A]
I_{RMS}	Corrente nominal de saída RMS do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [A]
I_{SM}	Corrente do Submódulo [A]
I_{Ua}	Corrente do braço superior de fase a do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [A]
I_a	Corrente de saída de fase a do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [A]
I_b	Corrente de base [A]
I_{circ}	Corrente de circulação do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [A]
I_{circ}^*	Corrente de comando de I_{circ} [A]
I_{dc}	Corrente CC proveniente do barramento CC do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [A]
I_L	Corrente do indutor da célula Meia ponte da Figura 3.25 [A]
K_5	Ganho proporcional do controle de balanceamento
K_4	Ganho integral do controle da corrente de circulação
K_3	Ganho proporcional do controle da corrente de circulação
K_2	Ganho integral do controle da média
K_1	Ganho proporcional do controle da média
k_{dc}	Fator que indica a relação entre a tensão nominal do submódulo e a tensão direta
k_{max}	Limite superior do <i>ripple</i> de tensão do capacitor do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte

L_{Br}	Indutância do braço do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [H]
L_{HB}	Indutância da célula meia ponte [H]
L_{carga}	Indutância da carga [H]
L	Indutância [H]
M	Harmônico ímpar
Mag	Amplitude harmônica de segunda ordem
N	Números de submódulos por braço do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte
P	Potência ativa nominal [W]
PF	Fator de potência da carga ($\cos(\theta)$)
P_{dc}	Potência ativa de entrada do barramento CC do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [W]
q	Número de níveis na tensão entre duas fases de cargas de um dado inversor
r	Número de níveis na tensão de fase de uma carga trifásica de um dado inversor
R	Intervalo de tempo probabilístico [s]
R_L	Resistência em série do Indutor da célula Meia ponte da Figura 3.26 [Ω]
R_S	Resistência interna dos semicondutores da célula Meia ponte da Figura 3.26 [Ω]
R_{carga}	Resistência da carga [Ω]
R_d	Resistência interna do diodo [Ω]
S	Potência aparente nominal [VA]
$S_{1,2,3}$	Chaves estáticas
T	IGBT
t	Tempo [s]
t_f	Tempo de queda [s]
t_t	Tempo de cauda [s]
V_{CE}	Tensão coletor-emissor do IGBT [V]
V_{GE}	Tensão base-emissor do IGBT [V]
V_{HB}	Tensão da célula meia ponte [V]
V_{IGBT}	Tensão submetida ao IGBT do submódulo do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [V]
V_{RMS}	Tensão nominal de linha RMS do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [V]
V_b	Tensão de base [V]
V_{dc}	Tensão do barramento CC [V]
V_{infa}	Tensão fornecida pelo braço inferior do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte de fase a [V]
V_{supa}	Tensão fornecida pelo braço superior do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte de fase a [V]
V_x	Tensão inserida nos capacitores para realização de testes na Figura 3.32 [V]
v_{Bja}^*	Tensão de comando do controle de balanceamento [V]
v_{Cja}	Tensão do capacitor do DSCC de número “j” da fase a [V]
v_{Aa}^*	Tensão de comando do controle da média [V]
v_C	Tensão CC do capacitor dos submódulos do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [V]
v_C^*	Tensão de comando de v_C [V]

v_{SM}	Tensão do submódulo [V]
$v_{a,b,c}$	Tensão das fases a, b e c do Conversor Modular Multinível [V]
v_a	Tensão de fase a do Conversor Modular Multinível [V]
v_a^*	Tensão de comando de v_{an} [V]
v_{ab}	Tensão de linha do Conversor Modular Multinível [V]
$v_{anM_{RMS}}$	Valor eficaz da n -ésima ordem harmônica da tensão de saída [V]
v_{an}	Tensão da fase de saída de um conversor monofásico em relação ao neutro [V]
v_{ja}	Tensão de saída da célula <i>Chopper</i> de número “ j ” da fase a [V]
v_{ja}^*	Tensão de comando de v_{ja} [V]
v_{pern}	Tensão da perna de uma fase do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [V]
v_x	Tensão de saída dos submódulos da Figura 1.3 [V]
V_N	Tensão de saída do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte monofásico da Figura 3.23 [V]
$ \widehat{V}_N $	Amplitude da tensão de saída do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte monofásico da Figura 3.23 [V]
\bar{v}_{Ca}	Média de tensão dos capacitores da fase a dos submódulos do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [V]
$W_{M2C_{conv}}$	Valor normalizado do armazenamento nominal de energia no conversor [W]
$W_{M2C_{nom}}$	Valor nominal normalizado da capacidade nominal de armazenamento de energia do conversor [W]
$X_{L_{Br_{pu}}}$	Reatância indutiva de um braço do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte (em pu)
$X_{L_{Br}}$	Reatância indutiva nominal de um braço do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [Ω]
$X_{L_{carga_{pu}}}$	Reatância indutiva da carga (em pu)
X_{nom}	Reatância nominal [Ω]
X_{pu}	Reatância em pu [Ω]
Z_b	Impedância de base [Ω]
ω_{fund}	Frequência fundamental do Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte [rad/s]
n	Número de níveis na tensão de fase em relação ao terminal negativo de um inversor
α	Ângulo de Disparo (em graus)
θ	Ângulo de potência do Conversor Modular Multinível (em graus)

Acrônimos e Abreviaturas

APODPWM	Modulação PWM por Disposição de Fases Alternadas em Oposição (do inglês, <i>Alternative Phase Opposition Disposition PWM</i>).
AsGa	Arseneto de Gálio.
CA	Corrente alternada.
CA-CA	Corrente alternada para corrente alternada.
CA-CC	Corrente alternada para corrente contínua.
CC	Corrente contínua.
CC-CA	Corrente contínua para corrente alternada.
CC-CC	Corrente contínua para corrente contínua.
CSI	Inversor por Fonte de Corrente (do inglês, <i>Current Source Inverter</i>).
DBSM	Submódulo Ponte H Diagonal (do inglês, <i>Diagonal Bridge Submodule</i>).
DDSBC	Conversor Modular Multinível Dual Double-Star utilizando célula H Bridge (do inglês, <i>Dual Double-Star Bridge Cell</i>).
DF	Técnicas PWM Multiportadoras com Deslocamento de Portadoras em Fase (do inglês, <i>Phase Shifted</i>).
DHT	Distorção Harmônica Total (do inglês, <i>Total Harmonic Distortion -THD</i>)
DN	Técnica PWM Multiportadora com Deslocamento de Portadoras em Nível (do inglês, <i>Level Shifted</i>).
DSP	Processador Digital de Sinais (do inglês, <i>Digital Signal Processor</i>).
DSCC	Conversor Modular Multinível Em Dupla Estrela Com Células Meia Ponte (do inglês, <i>Dual Double-Star Chopper-Cells</i>).
DSxC	Conversor Modular Multinível Double-Star utilizando célula do tipo “x” (do inglês, <i>Double-Star x-Cells</i>).
EMI	Interferência Eletromagnética (do inglês, <i>Electromagnetic Interference</i>).
EMTP	Programa Transitório Eletromagnético (do inglês, <i>Electromagnetic Transient Program</i>).
FACTS	Sistemas de Transmissão de Corrente Alternada Flexíveis (do inglês, <i>Flexible Alternating Current Transmission Systems</i>).
FPGA	Arranjo de Portas Programáveis em Campo (do inglês, <i>Field Programmable Gate Array</i>).
Ge	Germânio.
GTO	Tiristor por Desligamento na Porta (do inglês, <i>Gate Turn-Off Thyristor</i>)
HVDC	Sistema de Transmissão em Corrente Contínua em Alta Tensão (do inglês, <i>High-Voltage Direct Current</i>).
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos (do inglês, <i>Institute of Electrical and Electronics Engineers</i>).
IGCT	Tiristor Comutável por Porta Integrada (do inglês, <i>Integrated Gate-Comutated Thyristor</i>).
LCI	Inversor de Carga Comutada (do inglês, <i>Load Commutated Inverter</i>).
LCK	Lei das Correntes de Kirchoff.
LTK	Lei das Tensões de Kirchoff.
LVCS	Chave de comutação de baixa tensão (do inglês, <i>Low-Voltage Commutation Switch</i>).
M3C	Célula de Conversor Modular Multinível de 3 níveis.
MOSFET	Transistor de Efeito de Campo Metal Óxido Semicondutor (do inglês, <i>Metal Oxide Semiconductor Field Effect Transistor</i>).
PDPWM	Modulação PWM por Disposição de Fases (do inglês, <i>Phase Disposition PWM</i>).
PI	Proporcional Integral.

PODPWM	Modulação PWM por Disposição de Fases em Oposição (do inglês, <i>Phase Opposition Disposition PWM</i>).
PSCPWM	Modulação PWM por Disposição de Portadoras Deslocadas em Fase (do inglês, <i>Phase Shifted Carrier PWM</i>).
PWM	Modulação por Largura de Pulso (do inglês, <i>Pulse Width Modulation</i>).
RMS	Raiz do valor quadrático médio (do inglês, <i>Root Mean Square</i>).
SCR	Retificador Controlado de Silício (do inglês, <i>Silicon Controlled Rectifier</i>).
SCRPWM	Modulação PWM por Rotação de Ondas Dente de Serra (do inglês, <i>Sawtooth Carrier Rotation PWM</i>).
SDBC	Conversor Modular Multinível Conectado em Delta Utilizando Célula H Bridge (do inglês, <i>Single-Delta Bridge Cells</i>).
SHE	Eliminação Seletiva de Harmônicos (do inglês, <i>Selective Harmonic Elimination</i>).
Si	Silício.
SMO	Observador de Modo Deslizante (do inglês, <i>Sliding Mode Observer</i>).
SPWM	Modulação por Largura de Pulso Sinusoidal (do inglês, <i>Sinusoidal Pulse Width Modulation</i>).
SSBC	Conversor Modular Multinível em Estrela utilizando célula H Bridge (do inglês, <i>Single-Star Bridge Cells</i>).
STATCOM	Compensador Síncrono Estático (do inglês, <i>Static Synchronous Compensator</i>).
SVC	Compensador Estático de Potência Reativa ou SVC (do inglês, <i>Static VAR Compensator</i>).
SVPWM	Modulação PWM por Vetores Espaciais (do inglês, <i>Space Vector PWM</i>).
TBJ	Transistor Bipolar de Junção.
TRIAC	Triodo para Corrente Alternada (do inglês, <i>Triode for Alternating Current</i>).
TSBC	Conversor Modular Multinível em Tripla Estrela utilizando célula Ponte Completa (do inglês, <i>Triple-Star Bridge Cell</i>).
T^2HBSM	Submódulo Tipo-T Meia Ponte (do inglês, <i>T-Type Half Bridge Based Submodule</i>).
VLM	Mapeamento de Loop Virtual (do inglês, <i>Virtual Loop Mapping</i>).
VSI	Inversor por Fonte de Tensão (do inglês, <i>Voltage Source Inverter</i>).
WTHD	Distorção Harmônica Total Ponderada (do inglês, <i>Weighted Total Harmonic Distortion</i>).

Símbolos de Unidades e Grandezas Físicas

A	Ampere
F	Farad
H	Henry
Hz	Hertz
J	Joule
m	Metro
rad	Radiano
rad/s	Radiano por segundo
V	Volt
VA	Volt-Ampere
var	Volt-Ampere Reativo
W	Watt
Ω	Ohm
s	Segundo

Capítulo 1

1 Introdução

1.1 Contextualização e Relevância

Atualmente, vivencia-se uma época de crise econômica e energética em proporções globais. Em concessionárias de energia, empresas de construção, extrusão, fabricação ou transporte, há uma disputa em comum: a obtenção da máxima eficiência do maquinário e sistemas, minimização dos desperdícios nas falhas de operação e de danos aos componentes elétricos. Sabe-se que mais da metade da energia consumida pelas indústrias é destinada aos motores elétricos [1]. Para o bom condicionamento destes elementos, é necessário que os componentes intermediários, como conversores estáticos de potência, mais especificamente, inversores, estejam em plenas condições de operação e seguros contra falhas antes consideradas aceitáveis, porém hoje, desastrosas.

O desenvolvimento de medidas preventivas e de controle ideais para os conversores estáticos têm, crescentemente, ganhado destaque na indústria e comunidade científica - dado o ritmo intenso de crescimento energético e populacional. Além disso, este crescimento populacional e energético vem contrastando com um cenário de racionamento e busca por energias renováveis para suprir as necessidades tecnológicas atuais. Sendo assim, a necessidade de se obter o máximo aproveitamento em transferência de energia com o mínimo dano aos componentes eletrônicos e terminais de saída se tornou imprescindível nos dias atuais [1]. Tais componentes são desde máquinas operatrizes industriais a onerosos e gigantescos motores para escavação, tração, bombeamento hidráulico, dentre outros. O cenário descrito acima tem perdurado desde o surgimento da Eletrônica de Potência, nos laboratórios da General Electric, com o nascimento do tiristor, em meados de 1960 [2].

A partir dessa informação, é possível calcular a quantidade de recursos e energia que são desperdiçados diariamente devido às falhas relacionadas ao funcionamento de dispositivos estáticos de potência. Portanto, com mérito, a eletrônica de potência tem participação imprescindível na qualidade da transmissão de energia elétrica em praticamente todos os processos industriais da atualidade, por possuir como conduta básica a correta conversão de energia e processamento de potência. Isto traz à tona seu principal trunfo para a humanidade e objeto central desta pesquisa que são os inversores ou conversores CC-CA, mais especificamente, a geração de conversores multiníveis [1].

A desregulamentação dos mercados internacionais de energia e a tendência à geração de energia descentralizada estão juntas aumentando a demanda por sistemas eletrônicos de energia mais eficientes e robustos. Para esta aplicação, os conversores de vários níveis de tensão (multiníveis) são os mais adequados. Com exceção do conversor com neutro grampeado, a classe de conversores multiníveis permite múltiplas conexões de semicondutores em série e possuem baixa distorção na tensão de linha, pois, uma vez que trabalham com tensões menores, o desgaste causado aos dispositivos semicondutores também diminui [3]. Pelo fato de possuir caráter customizável, essa classe de conversores apresenta menor custo de manutenção e redução de perdas de energia dos semicondutores, possibilitando, assim, inúmeras aplicações [3]. Desse modo, com exceção do conversor com neutro grampeado, a intrínseca realização redundante, baixa exigência de filtros, distribuição equilibrada de potência entre os semicondutores e flexibilidade de utilização de múltiplas ou única fonte CC comum faz com que a popularidade dos conversores multiníveis continue crescendo frente às demais tecnologias, como a de seus precursores - os conversores por fonte de tensão (VSI) de dois níveis.

O conceito de conversor multinível foi utilizado inicialmente em 1975, pois até então existia apenas conversores CC-CA (ou inversores) com dois níveis [4].

Com o passar do tempo, várias outras topologias de conversores multiníveis foram desenvolvidas, como o conversor cascata ponte H [5], com neutro grampeado ou NPC (do inglês, *Neutral Point Clamped*) [6], com grampeamento capacitivo ou FLC (do inglês, *Flying Capacitor*) [7] e o conversor generalizado [8].

Dentre as topologias multiníveis utilizadas na indústria, a Modular Multinível em Dupla Estrela utilizando células Meia Ponte (do inglês, *Double-Star Chopper-Cell Converter - DSCC*) desenvolvida por Anton Lesnicar e Rainer Marquardt [3, 9, 10] em 2002 tem se popularizado devido à sua estrutura modular, customizável e sua alta escalabilidade, por alcançar vários níveis de tensão e potência [11].

Uma grande vantagem da família de conversores modulares multiníveis é sua versatilidade ao admitir diversos tipos de células (ou submódulos) em sua estrutura, o que possibilita um número extremamente alto de aplicações e projetos. Além disso, esta família possui elevada adaptabilidade às mais diversas técnicas de modulação e controle.

Na presente dissertação, foi utilizada como estratégia de comando do conversor DSCC a técnica de modulação por largura de pulso baseada na disposição de portadoras triangulares deslocadas em fase ou, como é mais conhecida, modulação PSCPWM (do inglês, *Phase Shift Carrier PWM*), em que o termo PWM significa modulação por largura de pulso (do inglês, *Pulse Width Modulation*).

Acredita-se que esta técnica de modulação apresenta elevada adaptabilidade ao conversor DSCC utilizado por possuir apenas uma onda fundamental e múltiplas portadoras, emparelhadas com os submódulos do conversor. A tendência é, assim, facilitar o controle, promover melhor distribuição de energia entre os capacitores dos submódulos e acarretar menor DHT (Distorção Harmônica Total) nas formas de onda da corrente e tensão de saída, em relação às demais técnicas de modulação tradicionais (descritas em maiores detalhes no Capítulo 2).

Devido ao vasto potencial e imensa aplicabilidade do DSCC, grandes empresas como ABB, SIEMENS, Schneider-Electric, WEG, dentre outros [12-22] voltaram fortemente seus setores de produção para aprimorar essa tecnologia, iniciando assim uma disputa acirrada pela obtenção do conversor mais robusto e eficiente desta nova geração, a fim de dominar o mercado. Outro fator que reforça a importância do DSCC é o fato do artigo relacionado à sua criação ter recebido mais de 1200 citações contabilizadas apenas nas publicações da renomada organização mundial de engenharia elétrica, o Instituto de Engenheiros Eletricistas e Eletrônicos (IEEE).

O DSCC se popularizou nos diversos setores da indústria, tais como: setor naval [23-25], aeronáutico [26], ferroviário [27], de transmissão em corrente contínua em alta tensão (do inglês, *high-voltage direct current*, HVDC) [28-33], tração [34], compensadores síncronos estáticos (do inglês, *static synchronous compensators*, STATCOM's) [35-41], sistemas de transmissão CA flexíveis (do inglês, *flexible alternating current transmission systems*, FACTS) [42-43] acionamento de motores de alta [44-49] e média potência [50-53], condicionamento de energia [54-55], geração marítima de energia eólica [56-58], sistemas fotovoltaicos [59-60], veículos elétricos [61], micro-redes [62], dentre outros.

1.2 Motivação

Um dos problemas intrínsecos da topologia DSCC que motivou a elaboração deste trabalho é a existência das “correntes circulantes” nos braços do conversor durante sua operação em condições normais. Estas correntes causam falhas na transmissão de energia entre os terminais CC e CA, provocam estresse nos dispositivos semicondutores e geram perdas internas, o que prejudica diretamente a eficiência do conversor. A compreensão do surgimento de tais correntes, bem como a previsão de seu comportamento frente aos componentes do conversor é o ponto chave para a elaboração de métodos de controle [63-83], supressão das correntes circulantes [84-89] e correto dimensionamento dos componentes [90-97].

Outro desafio que estimulou esta dissertação é dificuldade de se controlar as oscilações (*ripples*) de tensão, provenientes dos capacitores dos submódulos durante o funcionamento do conversor [98-102]. Estas oscilações são responsáveis por deformar a onda das tensões de linha e fase do DSCC, acarretando falhas na operação de máquinas, elevação abrupta da DHT e superaquecimento dos componentes semicondutores deste conversor. Dessa maneira, o conhecimento do valor nominal de tensão dos capacitores para limitar estas oscilações é de grande importância.

Pesquisas recentes têm se voltado à investigação do comportamento do conversor DSCC sob faltas nos submódulos [103-116] e incentiva-se o desenvolvimento de técnicas para minimização dos prejuízos decorrentes de tais faltas, como desligamentos, queda abrupta da tensão de saída e acidentes de trabalho relacionados à interrupção inesperada da operação do conversor.

Além disso, é de grande valia investigar a possibilidade de adaptação do DSCC à técnica de deslocamento de neutro, mediante faltas nos submódulos. A técnica de deslocamento de neutro foi proposta por Rastogi *et al* [118] para suprir faltas nos conversores em cascata.

Outro estudo desafiador é investigar a efetividade da inserção de células redundantes nos braços do DSCC como medida cautelar para minimizar prejuízos de desempenho decorrentes de faltas nos submódulos. Com isso, na presente dissertação são discutidas medidas preventivas [119-120], bem como estudos acerca da operação de conversores multiníveis em situações nas quais não há como evitar uma falta.

A criação de um sistema em que não é necessário modificar o sinal de referência para um valor menor quando ocorrem faltas nas células e a investigação da adaptabilidade do DSCC à técnica de deslocamento de neutro foi outro estímulo para a elaboração desta dissertação que, inclusive, poderá contribuir para a comunidade científica.

Apesar de sua popularidade crescente, o DSCC possui algumas desvantagens que necessitam de elevada atenção, como a sua vulnerabilidade à faltas nos submódulos. Portanto, o desenvolvimento de um estudo acerca do controle das correntes circulantes, balanceamento das tensões oscilantes dos capacitores dos submódulos, técnicas de modulação, modelagem e operação em situações faltas nas células de potência do DSCC é de grande relevância.

1.3 Objetivos

O objetivo principal deste trabalho é o estudo, modelagem, e controle do Conversor Modular Multinível em Dupla Estrela com Células Meia Ponte utilizando a estratégia de modulação PSCPWM a fim de obter sua plena operação em condições ideais ou durante faltas simétricas e assimétricas em seus submódulos de potência Meia Ponte para futuras aplicações em acionamentos elétricos. A meta é obter a máxima transferência de energia e desempenho em tais condições de faltas, evitando-se desligamentos indesejados e seus prejuízos provenientes. Portanto, os principais tópicos deste trabalho são:

- Modelagem matemática, projeto e controle do conversor DSCC sob faltas nos submódulos;
- Desenvolvimento de um método para detecção de faltas e isolamento dos submódulos danificados do DSCC associado com um mecanismo de substituição destes por um reserva;
- Elaboração de técnica para a compensação de faltas em até 75 % do total de submódulos do DSCC (por exemplo: dezoito submódulos sob falta em um DSCC que possui vinte e quatro submódulos), permitindo ao operador a opção de se ajustar a tensão de saída para os valores máximos alcançáveis ou redistribuir a energia entre os submódulos restantes, a fim de se obter o mesmo desempenho observado em condições plenas;
- Avaliação da efetividade da técnica de deslocamento de neutro (*neutral shift*) para a compensação de faltas no DSCC, eliminando assim a necessidade de redistribuição de energia entre os submódulos restantes.

1.4 Metodologia

Inicialmente, foi realizado um estudo dos principais trabalhos referentes à modelagem, dimensionamento, técnicas de modulação, propostas de controle e estratégias de operação do DSCC sob ação de faltas nos submódulos.

Além disso, foi elaborada uma investigação dos principais conversores multiníveis existentes para comparar suas características com o conversor DSCC, a fim de analisar as qualidades e desvantagens do DSCC frente às demais tecnologias. Também foi estudado o dimensionamento dos elementos passivos, a modelagem e os parâmetros que devem ser levados em consideração para um controle aprimorado do DSCC. Dentre estes parâmetros, estão a corrente de circulação, as correntes do braço superior e inferior, a corrente CC de entrada e a tensão sobre os capacitores.

Após o estudo descrito acima, foi investigado o desempenho do DSCC mediante diferentes técnicas SPWM multiníveis. Para isto, foram implementadas na plataforma Matlab/Simulink sucessivas simulações em malha aberta e fechada de DSCC's monofásicos e trifásicos utilizando diversas técnicas de modulação SPWM em condições ideais de operação para coleta de dados com propósitos comparativos.

Após o estudo do desempenho do DSCC em malha aberta e fechada, foi incorporado no projeto final do DSCC a estratégia de modulação que apresentou o menor estresse nas chaves eletrônicas e melhor distribuiu a energia entre os submódulos, além de oferecer menor DHT nas formas de onda da corrente e tensão de saída em todas as simulações.

Em seguida, foi levantado um estudo das mais relevantes abordagens de controle para o DSCC sob faltas nos submódulos.

Assim, a técnica de controle, juntamente com a técnica de modulação que apresentou o melhor desempenho, foram adaptados e inseridos no escopo do presente projeto para formar um sistema de controle completo e imune à faltas.

Para controle do sistema e supressão das correntes circulantes do DSCC, foram estudados os trabalhos [48],[85-89] com foco no artigo [48], no qual foi implementada uma técnica de balanceamento dos capacitores utilizando controle PI sem o uso de circuito externo. A abordagem descrita em [48] foi adaptada a este trabalho devido à sua praticidade e robustez ao associar um controle da média de tensão dos capacitores a um sistema de balanceamento.

Em seguida, foi desenvolvido um DSCC trifásico *standalone* utilizando 24 células e operando sob mudanças nos valores de referência da tensão de fase. Neste sistema, foram inseridas, de maneira aleatória e gradativa, faltas até que restassem apenas 25 % dos submódulos em operação, observando também o desempenho do DSCC meio à reinserção de submódulos.

Numa última etapa, foram desenvolvidos dois sistemas de detecção e compensação de faltas. O primeiro sistema implementado se baseou na redistribuição de energia entre os capacitores restantes e o segundo consistiu numa adaptação da técnica de deslocamento de neutro para o DSCC. Por fim, as duas técnicas de compensação desenvolvidas foram avaliadas e comparadas com outras propostas em uma tabela.

Foi utilizada a plataforma Matlab/Simulink para simulação e validação de todos procedimentos do projeto.

Em todas as etapas da presente dissertação, foram realizadas comparações dos resultados obtidos com os alcançados pela comunidade científica.

Todos os testes elaborados para a formação das conclusões e tabelas discutidas nos capítulos estão devidamente documentados e sua descrição pode ser obtida no Apêndice C.

1.5 Organização do Texto

O texto relativo a este trabalho de pesquisa está estruturado em quatro capítulos e os parágrafos seguintes trazem uma sucinta descrição de cada um deles, sendo este capítulo o introdutório.

No Capítulo 2 é apresentada a revisão bibliográfica, em que é resumido o estado da arte do conversor DSCC, ilustrando as principais pesquisas e contribuições acerca da modelagem, controle, dimensionamento, balanceamento dos capacitores e controle das correntes circulantes. Além disso, analisa-se a estrutura do conversor DSCC com propostas de topologias resistentes às faltas nos submódulos, investigando-se suas vantagens e desvantagens. Em seguida, é feita uma revisão da família de conversores modulares multiníveis com foco na topologia DSCC, estudando seus modos de operação, modelagem generalizada, exigência dos capacitores dos submódulos e indutores dos braços.

O Capítulo 2 também apresenta um resumo das principais técnicas de modulação para os conversores modulares multiníveis com foco nas técnicas SPWM baseadas na portadora.

No Capítulo 3 encontra-se a descrição do controle utilizado no DSCC proposto, seguido do dimensionamento e simulação na plataforma Matlab/Simulink deste conversor em condições plenas e sob faltas nos submódulos. Neste capítulo também são implementados e avaliados dois métodos de compensação de faltas nos submódulos (o método de compensação por redistribuição de energia dos submódulos restantes e o deslocamento de neutro).

O Capítulo 4 sumariza todas as conclusões e contribuições da presente dissertação, além de direcionar propostas para trabalhos futuros a partir dos temas aqui abordados.

Tabelas comparativas com as principais topologias multiníveis e resumos das principais técnicas de modulação e abordagens de controle podem ser encontradas no Apêndice A.

O Apêndice B apresenta projetos e simulações de DSCC's para diferentes faixas de potência da utilizada na presente dissertação.

Os principais modelos de simulação elaborados no Matlab/Simulink para a execução deste trabalho estão apresentados no Apêndice C.

Capítulo 2

2 Conversores Multiníveis “Double-Star Chopper Cells” - DSCC

O presente capítulo está dividido em oito Seções. Na primeira, encontra-se um estudo acerca do conceito de conversão multinível.

Estudos acerca do conversor DSCC em relação à estrutura e modelagem matemática generalizada podem ser vistos nas Seções 2.2 e 2.3, respectivamente.

Na seção 2.4, é apresentado um estudo acerca da modulação do DSCC. Esta seção aborda, principalmente, as estratégias de modulação SPWM com portadoras deslocadas em fase e em nível, apontando as principais características de cada método.

São investigados, na Seção 2.5, os parâmetros necessários para a plena operação do DSCC, com ênfase na técnica de controle em malha fechada PI utilizada na presente dissertação.

Uma abordagem dos desafios impostos pela inserção de faltas nos submódulos do DSCC está presente na seção 2.6.

Por fim, as conclusões podem ser vistas na Seção 2.7.

2.1 Conversores Multiníveis

O conceito de conversores multiníveis surgiu inicialmente em [4] com um inversor de n níveis, no qual o objetivo era diminuir o *stress* aplicado aos dispositivos semicondutores de potência ligados ao nível médio de tensão com a redução da energia distribuída sobre cada chave.

A patente mais famosa desta tecnologia surgiu em 1975 [3-10] - um inversor de n níveis em cascata foi desenvolvido através da formação de uma estrutura que conecta separadamente células CC Ponte Completa (conhecidas como células *H bridge*, ou Ponte H) em série para sintetizar uma tensão de saída em escada. O resultado foi uma forma de onda de saída resultante equivalente à soma da contribuição da tensão fornecida por cada célula Ponte H.

Uma característica intrínseca da classe de conversores multiníveis é que, independente do tipo de projeto, à medida que os níveis de tensão fornecidos pelos terminais saída aumentam, a taxa de distorção harmônica da tensão e corrente de saída tendem a decrescer. Isso deve-se ao fato de o acréscimo de níveis possibilitar a obtenção de maior definição na tensão de saída, aproximando a forma de onda deste sinal cada vez mais à forma de onda desejada. Isto também pode ser obtido por meio de técnicas de modulação. Por outro lado, o acréscimo de níveis nos inversores eleva a complexidade de projeto, exigência computacional e o número de componentes em sua montagem (custo).

A Figura 2.1 ilustra um diagrama esquemático da criação de um inversor com diferentes números de níveis, utilizando chaves ideais em lugar dos semicondutores de potência, mimetizando assim um interruptor com várias posições. A Figura 2.1 (a), mostra um inversor de dois níveis que gera uma tensão de saída com dois valores de tensão (daí o termo “nível de tensão”) em relação ao terminal negativo do capacitor, enquanto o inversor de três níveis (Figura 2.1 (b)) gera três níveis e assim por diante.

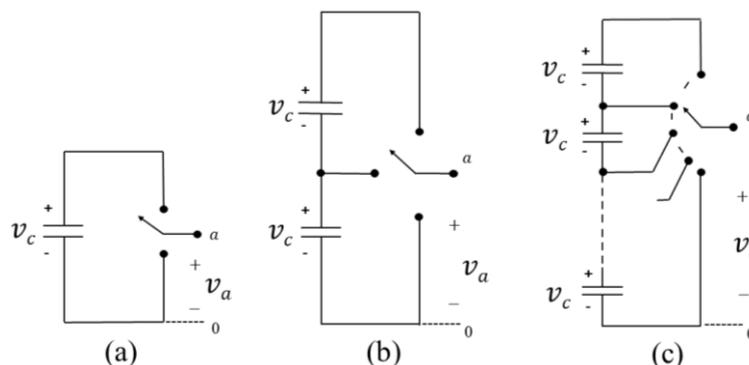


Figura 2.1: Ilustração de uma fase de um inversor monofásico com dois (a), três (b) e n (c) níveis.

Considerando n o número de níveis da tensão de fase em relação ao terminal negativo do inversor e desconsiderando valores nulos, pode-se obter o total de níveis de tensão entre as fases da carga (M) através da equação:

$$M = 2n + 1. \quad (2.1)$$

Já o número de níveis na tensão de linha em uma carga trifásica ($M_{3\theta}$) pode ser calculado como:

$$M_{3\theta} = 2M - 1. \quad (2.2)$$

As equações 2.1 e 2.2 expressam a característica básica e reconfigurável dos conversores multiníveis. A partir desta prerrogativa, a tecnologia multinível foi sendo desenvolvida de modo que a complexidade no controle e exigência computacional eram diretamente proporcionais ao aumento dos níveis de tensão estipulados nos projetos [65]. Estas são suas principais desvantagens ou, talvez, o “preço” a pagar pelas diversas vantagens obtidas.

Com o passar do tempo, foram surgindo outras topologias de conversores multiníveis, como o conversor em cascata ponte H [5], com o neutro grampeado ou NPC [6], o conversor com grampeamento capacitivo ou FLC [7], a topologia generalizada (Figura 2.2 (a), (b), (c) e (d), respectivamente) [8] e, finalmente, o conversor DSCC (Figura 2.3) [9]. Uma tabela que reúne as principais características das topologias multiníveis em comparação com o DSCC pode ser visualizada no Apêndice A.

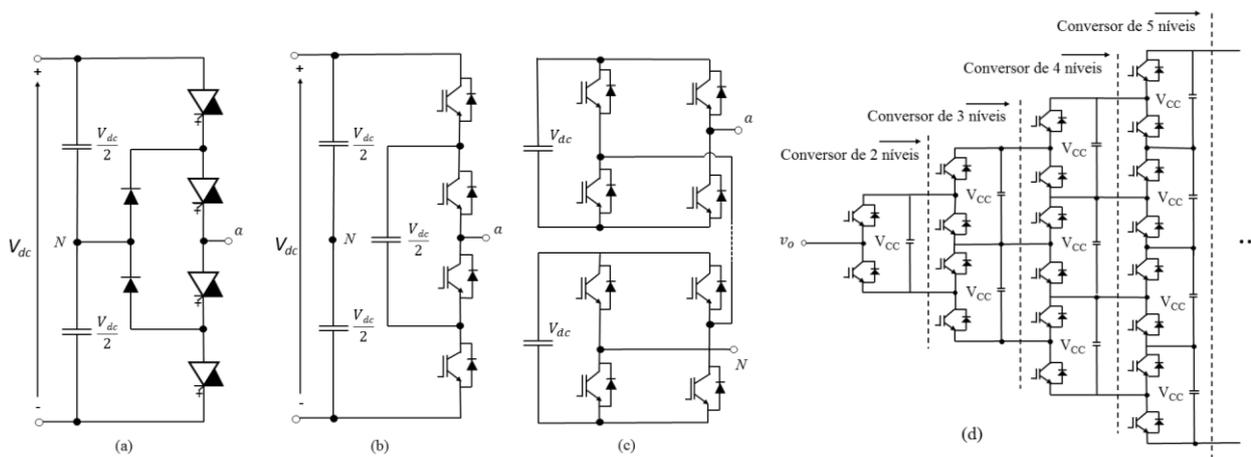


Figura 2.2: Ilustração dos conversores multiníveis monofásicos (a) NPC com três níveis utilizando IGBT's como interruptor, (b) FLC de três níveis com grampeamento capacitivo utilizando IGBT's, (c) conversor cascata com duas células ponte H acopladas (5 níveis) que também utiliza IGBT's, (d) Topologia multinível generalizada.

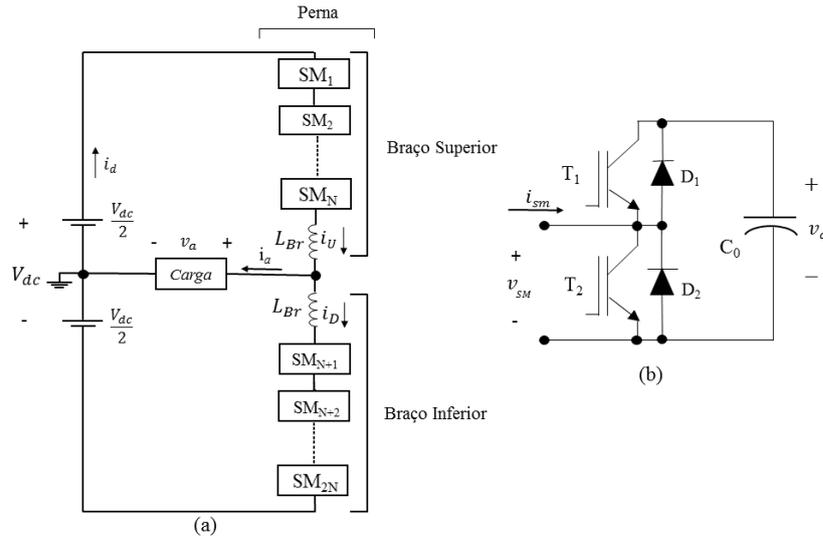


Figura 2.3: (a) Esboço do Conversor Modular Multinível básico monofásico. (b) Célula Meia Ponte ou *Chopper* (submódulo).

Na Figura 2.3 (a) está apresentada a topologia monofásica do DSCC. Nela, pode-se observar a disposição do “braço” superior e inferior pertencentes à fase a . Cada fase possui $2N$ submódulos de potência, sendo N em cada um dos braços.

Devido à sua característica reconfigurável, existem na literatura inúmeros projetos que utilizam outros tipos de células na construção dos conversores modulares multiníveis e diferentes estruturas de montagem, como *Star*, *Dual* ou *Triple Star*, dependendo da finalidade. Suas células podem ser desde submódulos Ponte H (também muito popular por possuir proteção extra contra faltas decorrentes do barramento CC, mas possui alto custo pelo grande número de chaves) a células FLC, NPC, CSI, dentre outras, como ilustra a Figura 2.4.

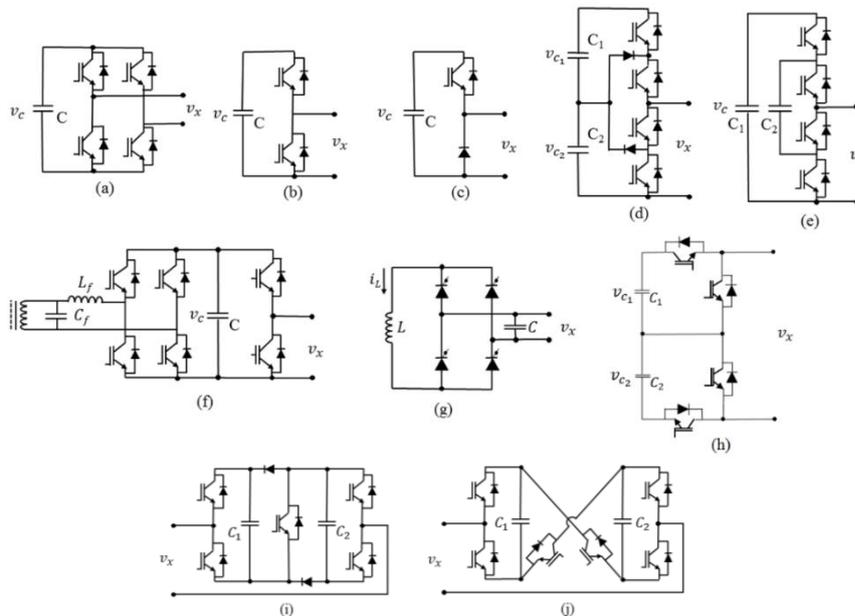


Figura 2.4: Tipos de submódulos dos conversores modulares multiníveis: (a) Full Bridge (Bridge), (b) Meia ponte (*Chopper*), (c) Célula Unidirecional, (d) Célula Multinível NPC, (e) Célula Multinível FLC, (f) Célula com inversão ressonante para transferência de potência indutiva, (g) Célula de fonte de corrente, (h) Célula M3C, (i) Célula de grampeamento duplo e (j) Célula de 5 níveis com conexão em cruz.

A Figura 2.5 apresenta um resumo da origem e dos tipos de conversores multiníveis, com destaque para a família Double-Star, que contém a topologia DSCC.

É importante ressaltar que, das topologias exibidas na Figura 2.5, a DSCC, FLC e a Topologia Generalizada [8] são topologias que possuem capacitores flutuantes. Esta característica interfere diretamente no seu método de controle, devido às oscilações de tensão presentes nestes capacitores. Outro fator importante é que a única topologia que não é multicelular é a NPC.

Enquanto a estrutura Double-Star pode admitir diversos tipos de submódulos, as estruturas Single-Star e Triple-Star utilizam, até o momento, apenas a célula Ponte H como submódulo.

As células mais famosas utilizadas na família Double-Star também estão apresentadas na Figura 2.5, podendo ser citada também a célula de três níveis (conhecida como MMC3), muito utilizada em parques eólicos marinhos [96].

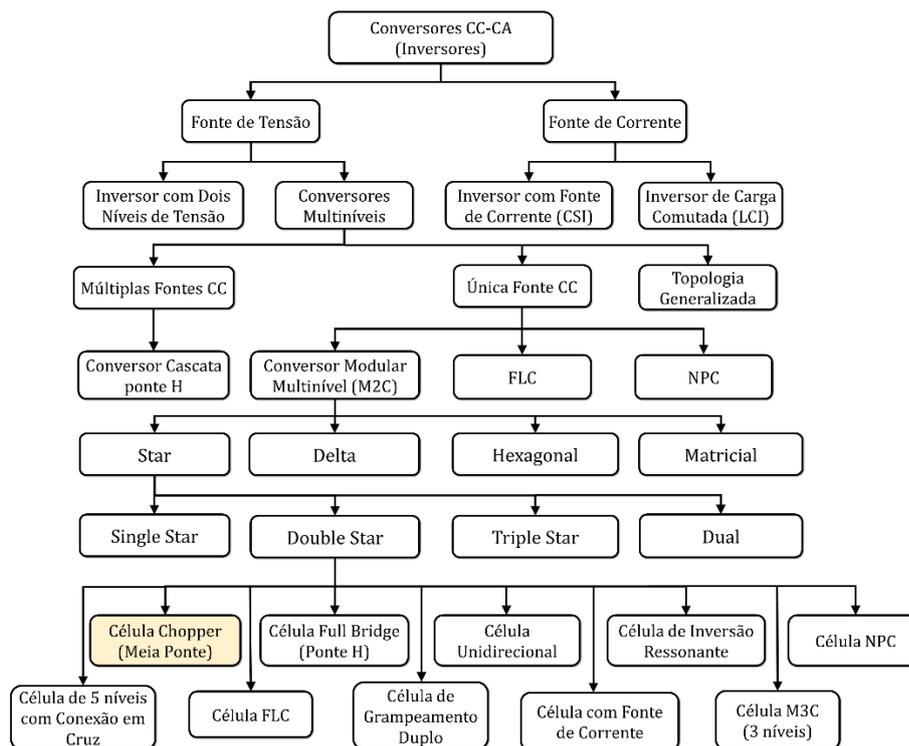


Figura 2.5: Árvore genealógica do Conversor Modular Multinível em Dupla Estrela com células Meia Ponte (DSCC).

Os tipos de conversores modulares multiníveis, classificados em relação à estrutura e tipos de células, são:

- 1) Conversor Modular Multinível em Estrela usando células Ponte H ou Single-Star Bridge Cells (SSBC) (Figura 2.6 (a));
- 2) Conversor Modular Multinível em Delta-Estrela Utilizando Células Ponte H, ou Single-Delta Bridge Cells (SDBC) (Figura 2.6 (b));
- 3) Conversor Modular Multinível em Dupla Estrela Dual Utilizando Células x , ou Dual Double-Star x -Cells (DDS x C)[§] - Figura 2.6 (c));
- 4) Conversor Modular Multinível em Dupla Estrela Utilizando Células y , ou Double-Star y -Cells (DSyC)[†];
 - a) DSyC sem acoplamento indutivo (Figura 2.6 (d));
 - b) DSyC com acoplamento indutivo [48] (Figura 2.6 (e));
- 5) Conversor Modular Multinível em Tripla Estrela Utilizando Células Ponte H, ou Triple-Star Bridge-Cells (TSBC) (Figura 2.6 (f)).

[§] Podendo x ser células Ponte H ou Meia Ponte.

[†] Podendo y ser qualquer uma das células dispostas na Figura 2.4.

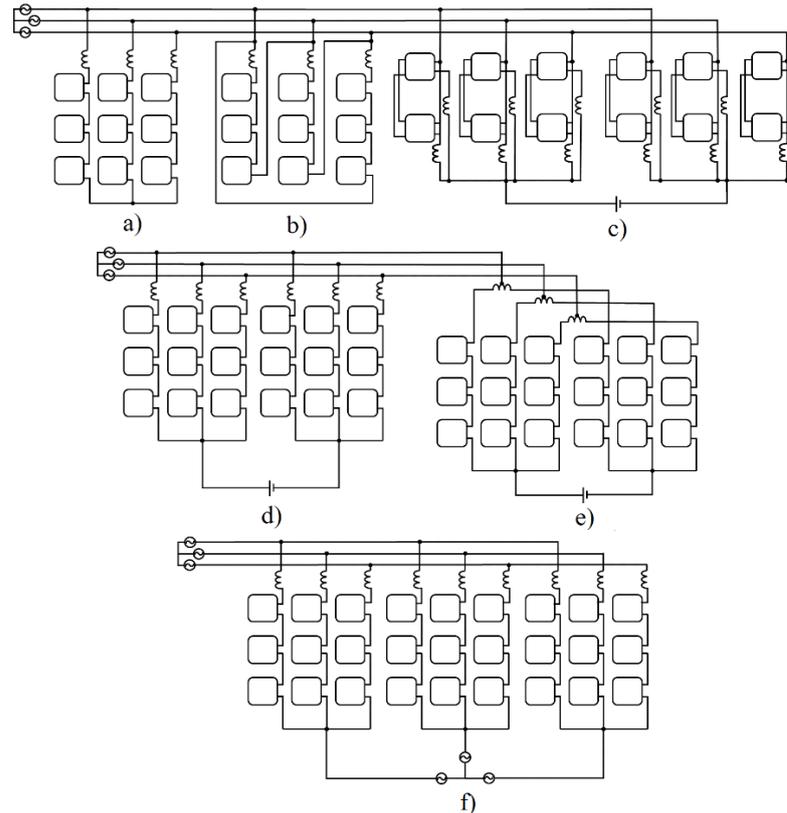


Figura 2.6: Família dos conversores modulares multiníveis com suas possíveis configurações: (a) SSBC; (b) SDBC; (c) DDSxC sem acoplamento indutivo; (d) DSyC; (e) DSyC com acoplamento indutivo e (f) TSBC.

A topologia SSBC (Figura 2.6 (a)) possui configuração e controle mais básicos e pode ser aplicada em STATCOM's e sistemas de armazenamento de energia em baterias [102].

A topologia DSCC se trata de duas SSBC em paralelo e pode trabalhar com projetos que exijam conversão de potência bidirecional CA/CC ou CA/CA com as aplicações exibidas na introdução deste documento. Porém, é importante estar atento que tanto a topologia Single-Star quanto Delta (Figura 2.6 (b)) não possuem barramento CC, o que as impossibilita de obter a função CA/CC ou CA/CA do DSCC [48].

A topologia TSBC (Figura 2.6 (f)), também conhecida como *Modular Matrix Converter*, pode ser considerada a junção de três circuitos SSBC com aplicação voltada para sistemas CA/CA com fluxo bidirecional de conversão de potência [110].

A topologia SSBC, diferentemente da SDBC, não pode liberar ou absorver potência de sequência negativa da rede por não possuir corrente de circulação, o que restringe sua aplicação, como citado anteriormente [102].

No trabalho [48] foram elaborados projetos monofásicos com a topologia DSCC e a topologia DDSxC, ambas utilizando células Meia Ponte. Nesta referência, foram obtidos resultados similares em termos de corrente e tensão de saída nas topologias Double-Star e Dual Double-Star ao serem utilizados os mesmos parâmetros de potência. O único detalhe que as diferenciavam no controle era o fato da topologia Dual Double-Star possuir múltiplos *loops* de corrente. Isto exigiu uma modificação simples no seu algoritmo de controle da corrente circulante.

Outro fator importante na família Double-Star é a opção de se utilizar indutores de proteção acoplados ou desacoplados. Estes não apenas atenuam a diferença de tensão entre as diversas células dos braços, mas também favorecem o controle da corrente de circulação.

A utilização de indutores acoplados no DSCC (Figura 2.6 (e)) é interessante pelo fato destes tornarem o circuito menor e diminuir a quantidade de componentes harmônicos em muitas aplicações

para controle de motores, além de estarem ligados diretamente ao terminal do motor. Porém, a utilização de indutores desacoplados é mais simples e prática experimentalmente [48].

Na escolha da célula para compor o conversor modular multinível, deve-se dar prioridade à utilização de submódulos que possuam o mínimo de dispositivos ativos e não lineares em sua estrutura, como transistores, tiristores e diodos, uma vez que estes geram conteúdo harmônico na rede elétrica ou na carga, dependendo da aplicação. Neste quesito, a célula Meia Ponte se destaca das demais por apresentar constituição simples e baixo conteúdo harmônico, apesar de não possuir segurança contra surtos de corrente, faltas no barramento CC e nos submódulos.

2.2 O Conversor DSCC

Pode-se resumir o Conversor DSCC como uma topologia emergente com tecnologia escalável para altas tensões e potência. O DSCC é constituído por submódulos idênticos, mas individualmente controláveis. Sendo assim, o conversor pode agir como uma fonte de tensão controlável, com um grande número de passos de tensões discretas disponíveis. Esta característica complica tanto a modelagem matemática quanto a computacional, pelo fato de cada submódulo possuir controle independente. Dessa maneira, um erro no controle de apenas uma célula acarreta deformação de todo o sinal de saída [3].

Uma grande vantagem da topologia DSCC em relação às demais topologias multiníveis é a ausência de elementos passivos centrais, tais como grandes capacitores de barramento ou transformadores com diversos secundários [10]. Outros pontos positivos desta topologia estão associados à sua modularidade (daí o nome “modular”), escalabilidade e capacidade de gerar níveis elevados de tensão a partir de múltiplas células de baixo nível. Isso é devido ao fato da comutação alternada das chaves eletrônicas de um submódulo do DSCC permitir a inserção de fontes de tensão capacitivas. Estas, quando somadas, podem alcançar valores muito elevados na tensão na saída, mesmo com a limitação das chaves de potência para tais tensões [65].

A Figura 2.7 ilustra o projeto inicial proposto para o Conversor Modular Multinível em Dupla Estrela com Células Meia Ponte. O “sobrenome” Meia Ponte refere-se ao fato do submódulo, ou célula, a ser acoplado no conversor ser do tipo *Chopper* (Meia Ponte). Ele se caracteriza da seguinte forma: cada fase do conversor DSCC é uma fase, que tem por obrigatoriedade dois braços (um superior e outro inferior) que podem possuir N submódulos cada.

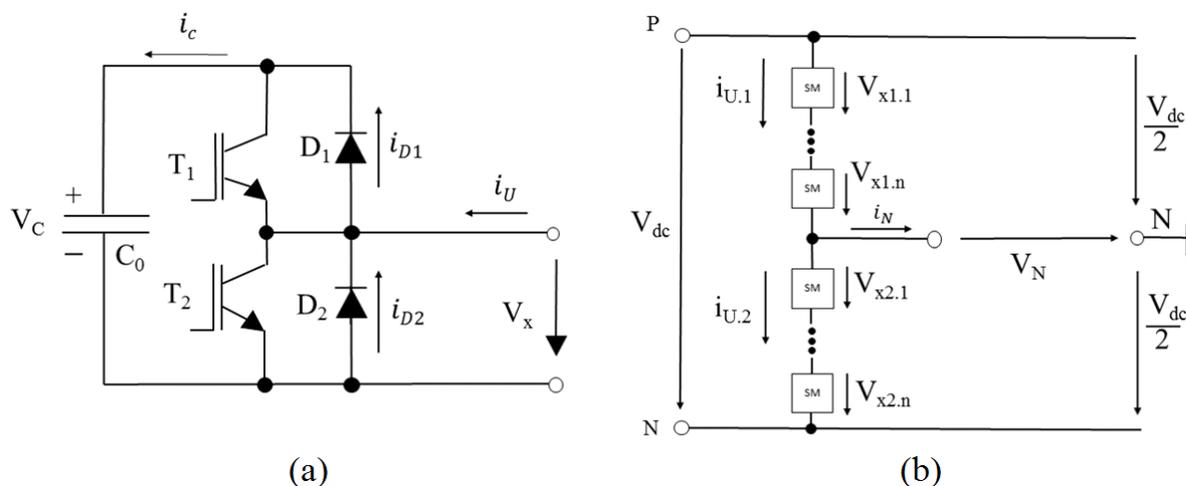


Figura 2.7: Projeto inicial do conversor DSCC: (a) submódulo Meia Ponte que se encontra atrelado ao braço do conversor; (b) fase de um conversor DSCC monofásico com uma perna (dois braços) e $2N$ submódulos, constando a tensão de alimentação V_{dc} e a tensão de saída V_N . Fonte: MARQUARDT; *et al.*, [10] (modificado).

Portanto, um conversor DSCC trifásico que possui quatro submódulos por braço terá o total de 24 células, seis braços e três pernas. Outro fator importante é que existe a opção de se diferenciar os valores de tensão de cada célula.

Um fator importante no DSCC é que um submódulo defeituoso pode ser substituído por outro redundante no braço, sem a necessidade de comutadores mecânicos, o que resulta na ininterrupção do sistema.

A Figura 2.7 (b) ilustra uma fase do inversor que possui N submódulos em cada braço. Em um primeiro instante, estes submódulos podem ser considerados como fontes de tensão controladas. Dessa maneira, constata-se que os submódulos podem transportar um componente CC ($I_U \neq 0$) da corrente I_U , mas não precisam fornecer a potência real na operação em estado estacionário.

Analisando-se a célula da Figura 2.7 (b), observa-se que, independente do sinal da corrente I_U , a tensão do terminal $V_{x,i}$ de cada submódulo pode ser monitorada. Ao mudar o número N de submódulos no braço superior e inferior do conversor, a tensão de saída V_N será ajustada. De modo semelhante, a tensão V_{dc} também pode ser manipulada independentemente, uma vez que esta é a fonte ou o barramento CC [3].

Nota-se que apenas a soma das tensões $V_{dc}(t)$ e $V_N(t)$ são dependentes do número N de submódulos por braço. Portanto:

$$V_{dc}(t) + |2V_N(t)| \leq 2 \cdot N \cdot V_c \quad (2.3)$$

Assim quando, por exemplo, a tensão abaixo é escolhida

$$V_{dc} = n \cdot V_c \quad (2.4)$$

a amplitude da tensão de saída será restrita a:

$$|\widehat{V}_N| \leq n \cdot V_c \quad (2.5)$$

Das vantagens do conversor DSCC frente aos conversores tradicionais baseados em tiristores, pode-se destacar:

- Apresenta menor estresse nos componentes do conversor e na rede a ser interligado;
- É escalável a diferentes níveis de potência e tensão;
- Apresenta redundância estrutural e vetorial;
- Menor chance de ser destruído por completo e fácil manutenção;
- Menores perdas por chaveamento e menor DHT (Distorção Harmônica Total);
- Possibilidade de conexão em rede com ou sem transformador;
- Possui construção modular;
- Tem a possibilidade de operar em baixa frequência de chaveamento, porém alta frequência equivalente ($f_{eq} = f_c * 2N$). Sendo f_{eq} a frequência equivalente, f_c a frequência de cada submódulo e N o número de células por braço [10];
- Possui componentes básicos da eletrônica analógica;
- Apresenta mudança gradativa na tensão de saída, minimizando interferências eletromagnéticas ou EMI (do inglês, *electromagnetic interference*);
- Com baixos níveis de tensão em seus semicondutores, pode alcançar alta tensão na saída;
- A indutância presente em seus braços, além de limitar a corrente circulante, é útil para filtragem;

- Propicia a redução, ou até extinção, da capacitância do barramento CC devido ao fato da energia ser armazenada nos submódulos do conversor.

Suas desvantagens são:

- Requer mais componentes;
- Possui vulnerabilidade às faltas no barramento CC;
- Necessita de monitoramento para todos os capacitores (balanceamento de tensão) e para as correntes dos braços [10];
- Necessita de indutores de proteção em cada braço;
- Seu dimensionamento é mais complexo do que o dos demais conversores;
- Principalmente em aplicações CA-CC-CA, sua operação é dependente do correto balanceamento os capacitores do barramento CC. Caso contrário, as formas de onda das correntes e tensões de saída ficarão distorcidas.

A Figura 2.8 mostra as etapas de funcionamento de um submódulo j , pertencente a um braço de fase a do DSCC. O uso do IGBT's no DSCC deve-se à liberdade que esta chave fornece ao conversor por propiciar a opção de inserir ou remover o capacitor do circuito, mediante o modo de operação utilizado. Quando o capacitor é considerado no circuito (Figura 2.8 (a) e (b)), é possível obter o valor de saída v_{cja} e, quando é ignorado, o valor de saída obtido é zero (Figura 2.8 (c) e (d)).

Na Figura 2.8 observa-se também que, independente do sentido da corrente dos braços, obtêm-se na saída dos submódulos os valores v_{cja} e zero.

A atuação dos diodos de roda livre (Figura 2.8 (a) e (d)) é evidente nesta imagem, pois possibilita o processo de escoamento de cargas e circulação de corrente reversa, devido à utilização de cargas indutivas. Além disso, estes diodos são importantes pelo fato do submódulo (e conversor) necessitarem de dispositivos semicondutores bidirecionais em corrente. Esta característica faz com que sejam conhecidos por muitos como “diodos de circulação”.

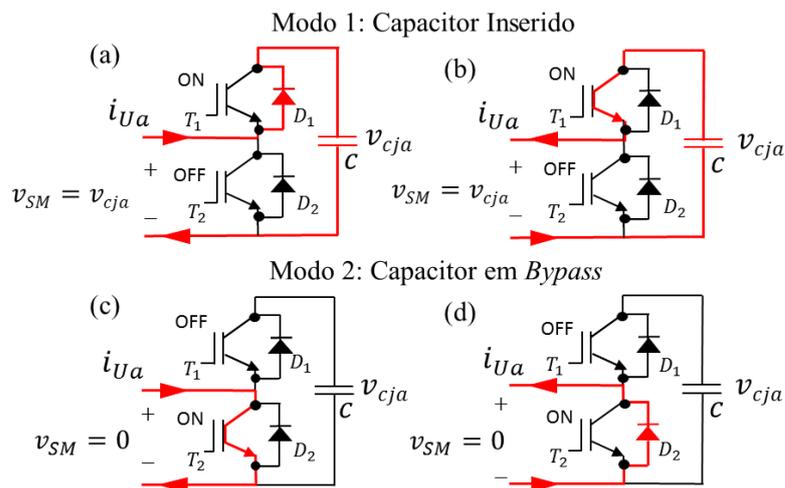


Figura 2.8: Modos de operação dos submódulos do DSCC: (a) capacitor inserido com corrente direta, (b) capacitor inserido com corrente reversa, (c) capacitor em *bypass* com corrente direta e (d) capacitor em *bypass* com corrente reversa.

Na Tabela 2.1 estão apresentados os estados de operação de um submódulo qualquer disposto no braço superior da fase a de um DSCC. Esta tabela apresenta os estados do submódulo, do capacitor, o caminho utilizado pela corrente, a tensão obtida no submódulo e o sinal correspondente da variação de tensão sobre o capacitor ao passar do tempo, denotando o sentido de corrente negativo, para valores menores que zero; e positivo, para maiores.

Tabela 2.1: Resumo do estado de condução, tensão e corrente das células durante a operação do DSCC.

Condição (Fig. 2.8)	Estado do Submódulo	Capacitor	T_1	T_2	i_{SM}	i_a	v_{SM}	$\frac{dv_{cja}}{dt}$
(a)	Acionado	Carregando	ON	OFF	D_1	> 0	v_{cja}	> 0
(b)	Acionado	Descarregando	ON	OFF	T_1	< 0	v_{cja}	< 0
(c)	Desacionado	<i>Bypass</i>	OFF	ON	T_2	> 0	0	0
(d)	Desacionado	<i>Bypass</i>	OFF	ON	D_2	< 0	0	0

2.3 Modelagem Generalizada do DSCC

Para uma modelagem generalizada do DSCC, foi estipulado um DSCC trifásico contendo N células por braço (Figura 2.9) com os termos subscritos a , b e c indicando as fases.

O arranjo clássico do conversor DSCC utiliza dois indutores não acoplados por fase. Os submódulos deste conversor possuem a configuração Meia Ponte utilizando um capacitor flutuante, ou selo capacitivo, em cada submódulo.

A função do indutor presente nos braços é amenizar a diferença de tensão entre a entrada e saída do conversor. Esta característica permite que este indutor possa ser usado como controlador de corrente, limitando-a em caso de uma falta ou curto circuito. Por este motivo os indutores dos braços do DSCC são denominados “reatores de proteção”, dependendo da aplicação.

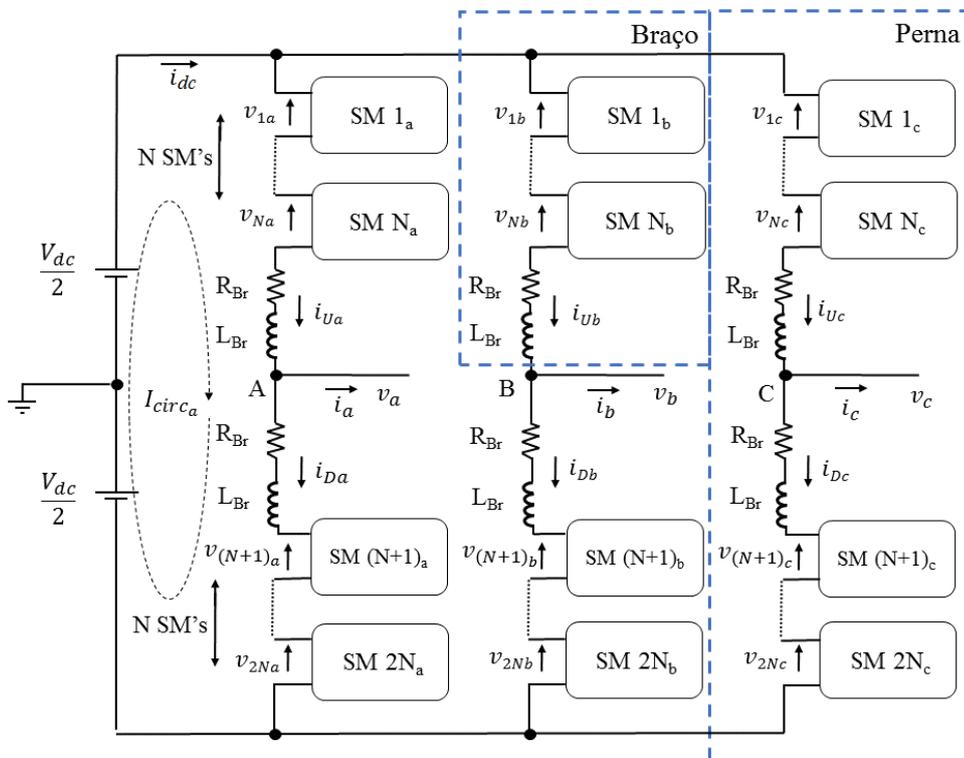


Figura 2.9: Conversor DSCC trifásico. Fonte: MEDINA, [90] (modificado).

O princípio básico de operação do DSCC baseia-se no uso da tensão diferencial entre o lado CC (V_{dc}) e na soma de todas as tensões CC fornecidas pelas células ($\sum v_{ja}$). Produz-se assim uma corrente de circulação (i_{circ}), que é responsável pela transferência de potência em ambos os lados do conversor.

A tensão diferencial adequada é alcançada através de um controle que rege a comutação de cada célula, oferecendo assim um leque de opções de estratégias de controle.

A corrente de circulação (i_{circ}) existe em todas as fases. Portanto, i_{circ_a} refere-se à corrente de circulação presente na fase a e seu comportamento é equivalente às correntes de circulação presentes nas demais fases do conversor (i.e., fases b e c).

Independente da estratégia de controle a ser utilizada, deve-se ter em mente que a média da transferência de potência através de cada célula deve ser igual a zero, condição básica para manter a média de tensão do capacitor constante.

Como uma característica típica do DSCC, a potência instantânea de cada célula terá frequências de ressonância múltiplas da frequência fundamental (ω_{fund}), o que implicará em variações na tensão dos capacitores [90].

A corrente superior (I_{Ua}) e inferior (I_{Da}) dos braços pertencentes à fase a estão apresentadas nas equações 2.6 e 2.7, juntamente com a corrente CA de saída (I_a) que, pela Lei das Correntes de Kirchoff (LCK), encontra-se em um nó. A distribuição de corrente tem como meta garantir a estratégia de controle [8, 90].

$$I_{Ua} = i_{circ_a} + I_a/2 \quad (2.6)$$

$$I_{Da} = i_{circ_a} - I_a/2 \quad (2.7)$$

Somando-se as expressões (2.6) e (2.7), a corrente de saída é cancelada e obtém-se a corrente de circulação, como demonstrado na Equação (2.8). Esta equação é de grande importância para a modelagem do controle de supressão, juntamente com o controle da média de tensão dos capacitores.

$$i_{circ_a} = (I_{Ua} + I_{Da})/2 \quad (2.8)$$

A corrente de circulação é uma característica intrínseca da topologia Double Star, consistindo em um componente CC e um CA, como expresso na equação 2.9.

$$i_{circ} = \overline{i_{circ}} + \widetilde{i_{circ}} \quad (2.9)$$

Para a topologia trifásica do DSCC, o componente CC de cada fase é um terço da corrente que flui do lado CC (I_{dc}), ou seja:

$$\overline{i_{circ}} = I_{dc}/3 \quad (2.10)$$

De modo que a soma das correntes dos braços a, b e c cancelam os componentes alternados. Tais componentes CA da corrente de circulação são gerados pelas diferenças de tensão entre os braços superiores e inferiores do conversor devido às oscilações de tensão nos capacitores das células. Estes componentes possuem, desconsiderando-se as componentes de comutação, o dobro da frequência fundamental ($2\omega_{fund}$) [90].

Considerando que o conversor DSCC é primariamente um VSI destinado a produzir uma determinada tensão de saída de fase v_{an} , observa-se na Figura 2.9 que os limites para tensão de fase de saída devem estar entre $V_{dc}/2$ e $-V_{dc}/2$. A fim de alcançar esta funcionalidade, os capacitores de cada submódulo devem ser carregados seguindo a relação V_{dc}/N .

Aplicando-se a Lei das Tensões de Kirchoff (LTK) ao braço superior e inferior de cada fase do DSCC, são obtidas as equações (2.11) e (2.12). Estas equações podem ser utilizadas em quaisquer fases do conversor [90].

$$v_{an} = V_{dc}/2 - \sum_{j=1}^N v_{ja} - (L_{Br})dI_{Ua}/dt - R_{Br}I_{Ua} \quad (2.11)$$

$$v_{an} = -V_{dc}/2 + \sum_{j=N+1}^{2N} v_{ja} + (L_{Br})dI_{Da}/dt - R_{Br}I_{Da} \quad (2.12)$$

Somando-se as equações (2.11) e (2.12), substituindo as correntes do braço pelas equações (2.6) e (2.7) e considerando a corrente de circulação como um componente CC, obtém-se a Equação (2.13). Esta equação pode ser usada no estudo do desempenho dinâmico do conversor.

$$v_{an} = 1/2 (\sum_{j=N+1}^N v_{ja} - \sum_{j=1}^N v_{ja}) - (L_{Br}/2)dI_a/dt - (R_{Br}/2)I_a \quad (2.13)$$

Por meio da Equação (2.13), observa-se que a tensão de saída CA (v_{an}) depende unicamente da corrente de saída e da diferença entre as tensões nos braços fornecidas pelas células. Analisando-se a corrente de circulação através da LTK, tem-se:

$$(L_{Br})dI_{Circ}/dt + R_{Br}I_{Circ_a} = V_{dc}/2 - (\sum_{j=N+1}^{2N} v_{ja} + \sum_{j=1}^N v_{ja})/2 = v_{pern_a}/2 \quad (2.14)$$

Analisando-se a Equação (2.14), nota-se que ela define a queda de tensão ao longo do indutor de um braço devido à ação da corrente de circulação. Esta queda de tensão é similar à diferença de tensão entre o barramento CC e a soma das tensões das células superiores e inferiores.

Portanto, a tensão fornecida pelas células superiores (braço superior) da fase a (V_{supa}) (Equação 2.15) e inferiores (V_{infa}) (Equação 2.16) é uma combinação da tensão exigida no barramento CC, na saída de tensão CA (v_{an}) e dos requisitos para o controle da corrente de circulação ($V_{pern_a}/2$) [90].

$$V_{supa} = \sum_{j=1}^N v_{ja} = V_{dc}/2 - v_{an} + V_{pern_a}/2 \quad (2.15)$$

$$V_{infa} = \sum_{j=N+1}^{2N} v_{ja} = V_{dc}/2 - v_{an} + V_{pern_a}/2 \quad (2.16)$$

2.4 Modulação do DSCC

A modulação tem como principal objetivo controlar a forma de onda de saída para uma determinada frequência e amplitude desejada, bem como reduzir (idealmente, eliminar) o conteúdo harmônico proveniente da comutação das chaves eletrônicas e dos demais componentes semicondutores do conversor.

Grande parte das estratégias de modulação multiníveis são oriundas de técnicas básicas de comutação utilizadas inicialmente em conversores de dois níveis.

Dentre as principais técnicas de modulação presentes na literatura, destacam-se: Modulação Vetorial Síncrona, Modulação por Vetores Espaciais (*Space Vector*), Eliminação Seletiva de Harmônicos, Modulação em Escada, Modulação SPWM com Portadoras Defasadas em Nível e em Fase e Modulação Híbrida.

Na Figura 2.10, pode-se ver os diversos tipos de técnicas de modulação disponíveis para o comando dos conversores multiníveis.

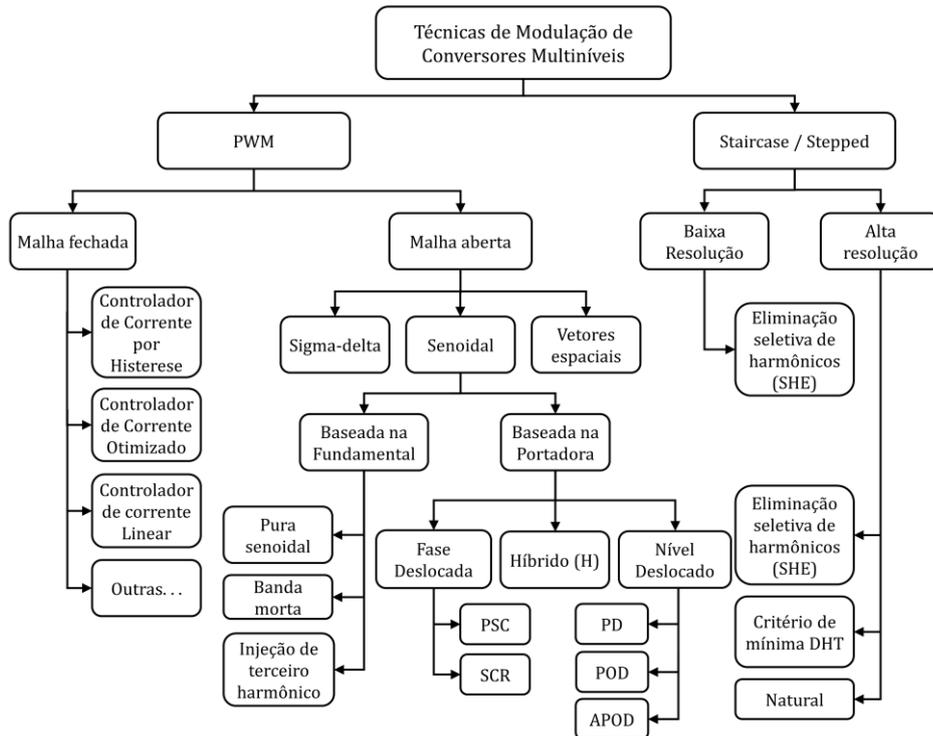


Figura 2.10: Principais técnicas de modulação para os conversores multiníveis. Fonte: MESQUITA; [68] (modificado).

Devido à necessidade do aumento de níveis das tensões de saída dos conversores para minimizar a DHT e alcançar maiores potências, foram inseridas modificações como o acréscimo de chaves e componentes passivos, elevando-se assim a complexidade de controle e aumentando, em alguns casos, o número de portadoras ou fundamentais.

Primordialmente, pode-se dividir as estratégias de modulação basicamente em dois grupos principais, que oferecem na saída do conversor tensões com níveis fixos (modulação *staircase*) ou modulados (modulação SPWM) para frequências altas, mistas e baixas [65]. Uma divisão simplificada das estratégias de modulação de conversores multiníveis baseada na frequência de comutação das chaves eletrônicas está apresentada na Figura 2.11.

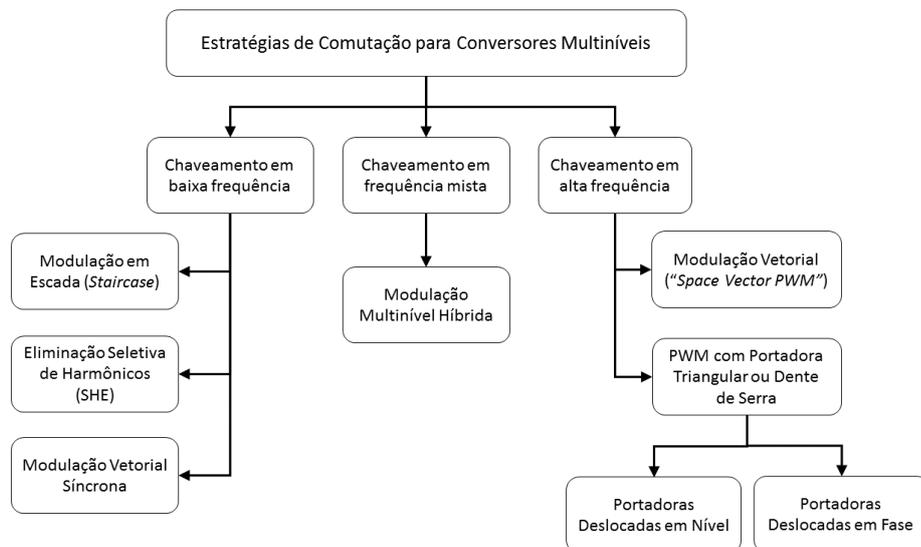


Figura 2.11: Resumo das principais estratégias de modulação para os conversores multiníveis. Fonte: RODRIGUEZ; *et al*, [65] (modificado).

Para os métodos que operam em altas frequências, as chaves eletrônicas do DSCC comutam em um número elevado de vezes por cada ciclo da tensão sintetizada (acima de 9, idealmente). Neste grupo, encontram-se os métodos PWM vetorial e SPWM com portadoras deslocadas, podendo estas estar deslocadas em fase ou nível.

Nas estratégias em baixa frequência, os interruptores semicondutores operam realizando até duas comutações por período fundamental da tensão sintetizada. Desta vertente, destacam-se as técnicas de modulação *Staircase*, SHE e Vetorial Síncrona. Existe também o método de modulação multinível híbrida, que utiliza tanto frequências baixas quanto altas em sua operação, caracterizando uma classe isolada de moduladores.

É importante frisar a existência de métodos de modulação vetorial tanto em baixas quanto em altas frequências.

Para baixas frequências, utiliza-se um vetor que mais se assemelha à respectiva tensão de saída necessária, produzindo uma forma de onda em escada. Já para a modulação vetorial em alta frequência, utiliza-se vetores espaciais a fim de obter um sinal de saída semelhante a tensão sintetizada. Neste processo, emprega-se até quatro vetores durante um ciclo de comutação [65].

Um fator importante é que o grande causador da indesejável elevação de temperatura das chaves estáticas dos inversores multiníveis são as perdas de energia acarretadas por eventos de comutação. Devido a isso, visando facilitar o processo de resfriamento dos conversores, incentiva-se a utilização de métodos de modulação que apresentem o mínimo possível de falhas no chaveamento e propiciem a maior distribuição de energia entre as chaves.

A modulação SPWM para o DSCC pode ser implementada utilizando múltiplas portadoras ou fundamentais. A utilização de múltiplas fundamentais não apresenta contribuições significativas do ponto de vista da facilitação do controle do DSCC e apresenta também incompatibilidade com a maioria das topologias multiníveis.

A utilização de modulação com múltiplas fundamentais é útil em conversores nos quais utiliza-se células que possuem, pelo menos, 4 chaves (células Ponte H, NPC e FLC), pois o uso de duas fundamentais, por exemplo, divide pela metade o número de portadoras utilizadas no processo de modulação. Desta forma, como o conversor DSCC utiliza células Meia Ponte, e por ser escalável e modular, possui grande adaptabilidade e compatibilidade às técnicas SPWM multiportadoras.

As técnicas de modulação SPWM multiportadoras possuem diversas vertentes e todas elas podem ser divididas em dois principais grupos: técnicas SPWM multiportadoras com disposição de portadoras em nível (conhecidas como técnicas *Level Shifted, LS*) ou em fase (ditas *Phase Shifted, PS*), aqui denominadas técnicas DN e DF, respectivamente.

As técnicas DN são APODPWM, PDPWM e PODPWM e as técnicas DF se resumem a PSCPWM e SCRPWM.

O termo APODPWM significa Modulação por Largura de Pulso por Disposição de Fases Alternadas em Oposição (do inglês, *Alternative Phase Opposition Disposition PWM*); o termo PDPWM significa Modulação por Largura de Pulso por Disposição de Fase (do inglês, *Phase Disposition PWM*); PODPWM refere-se à Modulação por Largura de Pulso por Disposição de Fase em Oposição (*Phase Opposition Disposition PWM*); SCRPWM é uma sigla para Modulação por Largura de Pulso por Rotação de Ondas Dente de Serra (do inglês, *Sawtooth Carrier Rotation PWM*) e PSCPWM significa Modulação por Largura de Pulso por Disposição de Portadoras Triangulares Deslocadas em Fase (do inglês, *Phase Shifted Carrier PWM*). Todas as técnicas supracitadas são denominadas técnicas de modulação senoidais (SPWM), por utilizarem como onda fundamental uma senóide.

A Figura 2.12 mostra as diferentes técnicas de modulação multiportadoras DN e DF, juntamente com os respectivos pulsos gerados. Para a criação da Figura 2.12 foi desenvolvida uma simulação em

malha aberta de um DSCC com 4 submódulos por braço utilizando fontes de tensão no lugar dos capacitores das células e $m_f = 21$ ($f_c = 1260\text{Hz}$).

Resumidamente, as técnicas DN (Figura 2.12 (a), (b) e (c)) utilizam duas ou mais portadoras dispostas em nível a fim de, idealmente, “englobar” a fundamental durante o processo de modulação. Nelas, por meio do princípio básico de comparação entre a amplitude da fundamental e portadora, são gerados pulsos quando a fundamental apresenta amplitude igual ou superior à respectiva portadora.

No caso dos conversores Cascata e DSCC, cada portadora fica responsável por uma célula a ser modulada. Devido a isso, as portadoras devem estar dispostas em níveis diferentes de tensão em relação à fundamental para que seja possível “varrer” ao máximo a fundamental a fim de gerar os trens de pulsos complementares.

As técnicas DF possuem princípios de modulação semelhantes às técnicas DN, com a diferença de que suas portadoras possuem deslocamento apenas em fase. As técnicas DF são PSCPWM, que utiliza ondas triangulares, e SCRPWM, que utiliza portadoras dente de serra, e estão apresentadas nas Figuras 2.12 (d) e (e), respectivamente.

Para obter n níveis de tensão em um DSCC via modulação DN, são necessárias $n - 1$ portadoras de mesma frequência com amplitude $A_c = A_{fund}/(n - 1)$ deslocadas em nível acerca da magnitude da fundamental. Além disso, são necessárias $(n - 1)/2$ células por braço para que o processo de modulação ocorra corretamente. Sendo A_c e A_{fund} a amplitude da portadora e da fundamental, respectivamente. Isto pode ser observado nas figuras 2.12 (a), (b) e (c) devido ao fato da disposição das 8 portadoras ao longo da fundamental juntas equivalerem à amplitude da fundamental e formarem um sinal de saída com 9 níveis de tensão.

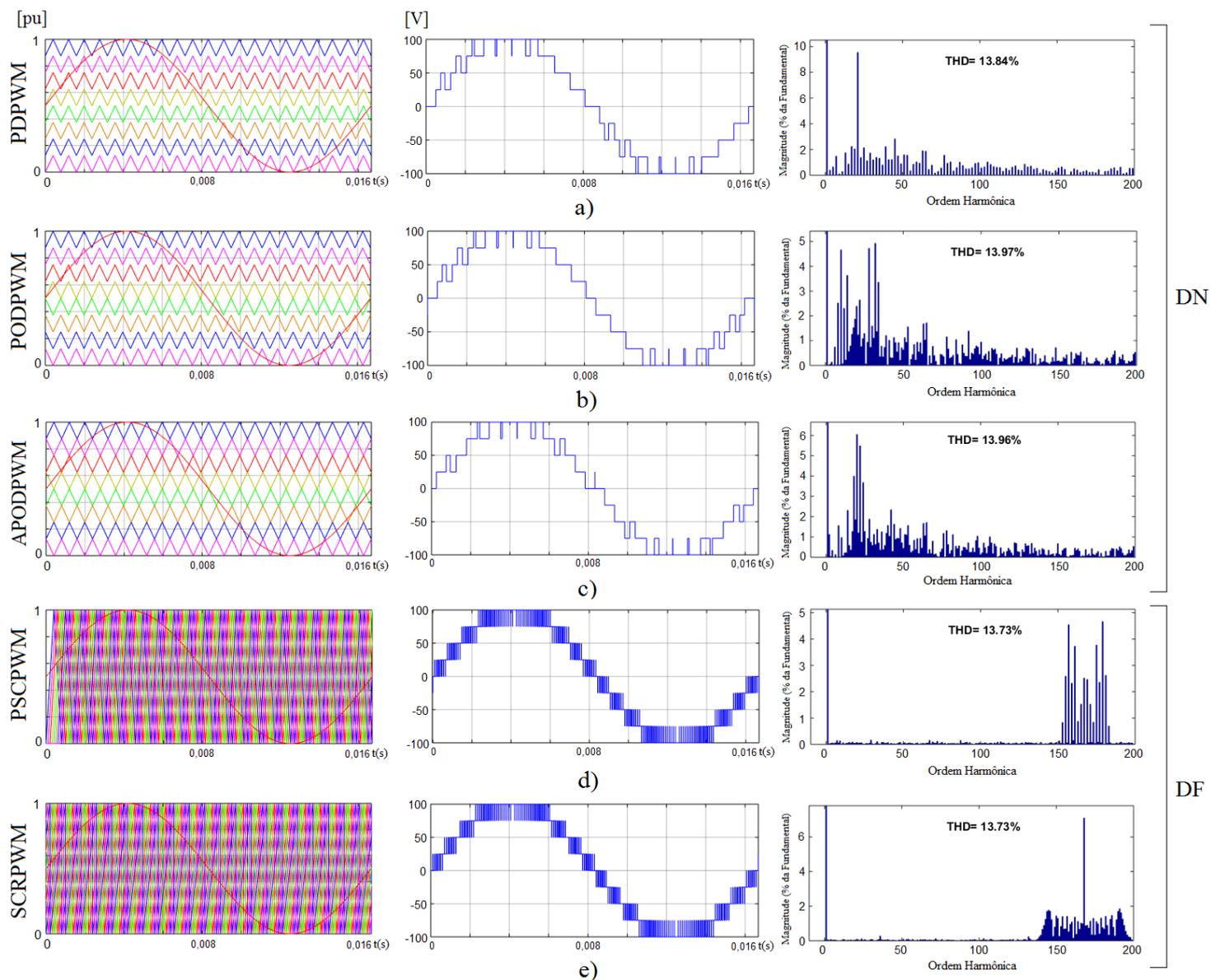


Figura 2.12: Disposição das portadoras, pulsos obtidos e espectro da tensão de fase de um DSCC monofásico de 8 níveis (4 células por braço) utilizando as técnicas SPWM DN e DF: (a) PDPWM (b) PODPWM (c) APODPWM (d) PSCPWM (e) SCRPWM. Na simulação foi considerado $m_f = 21$ ($f_c = 1260\text{Hz}$), $f_{fund} = 60\text{Hz}$ e barramento CC de 100V.

Para as técnicas de modulação DF, quando se visa a obter n níveis de tensão, deve-se inserir $n - 1$ portadoras de mesma amplitude da fundamental e dispor de $(n - 1)/2$ células por braço no DSCC. Porém, as portadoras devem possuir defasagem obedecendo a Equação (2.17).

$$\theta = 360/(n - 1) \tag{2.17}$$

De acordo com a equação (2.17), para as técnicas DF, quanto mais níveis de tensão se estipular para a saída de um DSCC, maior será o número de portadoras e menor será o ângulo de defasagem entre elas, não havendo alteração na amplitude das mesmas.

Já para as técnicas DN, à medida que se eleva o número de níveis da tensão de saída, menores serão as amplitudes das portadoras dispostas nos diferentes níveis, não havendo defasagem entre si (exceto na técnica APODPWM).

Há importantes trabalhos que investigam técnicas para defasagem das portadoras das modulações DN e sua eficácia. Um exemplo é o artigo [121], que aplicou esta técnica a fim de minimizar a DHT da tensão de fase e tornar mais eficaz o balanceamento de tensão dos capacitores de um conversor FLC.

Um parâmetro importante das técnicas de modulação SPWM é o índice de modulação em frequência (m_f). Este índice relaciona a frequência da portadora com a fundamental. Quanto maior m_f , maior será o cruzamento entre a portadora e a fundamental. Para a simulação da Figura 2.12, o fato de m_f ser 21 indica que enquanto a fundamental encerra um ciclo a portadora encerra 21 ciclos do seu sinal. O índice m_f é dado conforme a equação 2.18.

$$m_f = f_c / f_{fund} \quad (2.18)$$

Onde f_c é a frequência da portadora e f_{fund} é a frequência da fundamental.

Outro parâmetro significativo para as técnicas SPWM é o índice de modulação em amplitude (m_a). Define-se m_a como a relação entre a amplitude da portadora e a amplitude da fundamental. Para as técnicas DF, m_a é dado como

$$m_a = A_{fund} / A_c \quad (2.19)$$

enquanto que para as técnicas DN m_a é calculado conforme a equação (2.20).

$$m_a = A_{fund} / [(n - 1) * A_c] \quad (2.20)$$

Um resumo das técnicas de modulação DF e DN está apresentado no Apêndice A.2, com maiores detalhes em [73] e [75].

Como demonstrado na Figura 2.12, uma característica importante das técnicas DN é a presença dos harmônicos principais centralizados sobre f_c . Já as técnicas DF possuem os harmônicos principais centralizados sobre $2Nf_c$. Entretanto, os estudos [85,122-124] afirmam que, após a inserção de um controle de supressão das correntes circulantes em malha fechada, os harmônicos principais em ambas as técnicas tendem a se situar sobre f_c .

No trabalho [75] foram comparadas as técnicas DN e DF para a modulação de um DSCC numa aplicação isolada da rede (*standalone*) utilizando um método de controle similar ao da presente dissertação. Esta pesquisa comparativa está descrita em [75] e mostra que, para o controle em malha fechada do DSCC, a técnica de modulação PSCPWM constituiu a estratégia que melhor aproveitou o período de comutação das chaves e apresentou maior simetria espectral nas correntes e tensões de saída do conversor. Além disso, a referência [75] afirma que o uso da técnica PSCPWM propicia melhor distribuição da energia entre os capacitores e apresenta menor percentual de DHT nas correntes e tensões da carga, bem como apresenta resposta mais rápida ao controle PI aplicado com menor sobre-elevação (*overshoot*). Foi comprovada também em [75] a melhora na qualidade das correntes e tensões de saída do DSCC quando eleva-se m_f e L_{Br} .

Os principais pontos que se destacam das técnicas SPWM multiportadoras das demais técnicas de modulação multinível são sua adaptabilidade, escalabilidade, facilidade de compreensão, modelagem e controle. Como uma possível desvantagem das técnicas SPWM multiportadoras destaca-se a elevada exigência computacional para processar em tempo real aplicações que exigem muitos níveis de tensão e elevadas frequências nas portadoras. Esta desvantagem é minimizada em projetos que utilizam o DSCC, devido ao fato de que nesta topologia existe o conceito da frequência equivalente (f_{eq}).

A frequência equivalente de um DSCC é a frequência de comutação total obtida pela soma da frequência de comutação de cada célula. Por exemplo: para uma aplicação na qual se utiliza 1 kHz de

frequência da portadora, a frequência equivalente de um DSCC que possui 2 células por braço é $f_{eq} = 2N * 1000 = 4 * 1000 = 4 \text{ kHz}$. Portanto, à medida que se aumenta o número de células, pode-se diminuir substancialmente a frequência das portadoras sem comprometer significativamente a frequência equivalente. Isto minimiza o desgaste das chaves e aquecimento do conversor, bem como a geração de harmônicos.

A frequência equivalente (f_{eq}) de um DSCC com N células por braço é dada por:

$$f_{eq} = 2Nf_c \quad (2.21)$$

2.5 Controle do DSCC

Na Tabela 2.2, pode-se visualizar as principais características que o controle de um DSCC deve possuir para o seu perfeito funcionamento.

Tabela 2.2: Características importantes para o devido controle de um DSCC.

OBJETIVOS	DESCRIÇÃO
Balaceamento da Tensão dos Capacitores	Os capacitores dos submódulos devem estar adequadamente balanceados, ou seja, possuir oscilação de tensão dentro de limites aceitáveis. Isto pode ser feito através da seleção correta de submódulos a serem acionados por vez.
Controle da Corrente de Circulação	Responsável pelo controle da potência transferida do lado CC para o lado CA (saída) do conversor (Equação 2.9), as correntes de circulação de cada fase do DSCC são parâmetros para análise da transferência de potência do conversor, bem como para identificação de faltas nos submódulos. Porém, por aumentar as perdas de potência do conversor, é desejável suprimi-las. Estas correntes podem ser suprimidas com a inserção de indutores de proteção (L_{Br}) e um controle adequado. As correntes de circulação são responsáveis pela formação de harmônicos de 2ª ordem na corrente e tensão de saída do DSCC, o que aumenta as perdas nos componentes semicondutores.
Controle da Tensão do Barramento CC	Para um VSI convencional, a tensão CC do barramento é controlada por meio da potência ativa exigida do sistema. Para o DSCC, a tensão do barramento CC pode ser alcançada modificando diretamente o termo de realimentação direta ($V_{dc}/2$) disposto nas Equações (2.15) e (2.16) [90].
Controle da Média de Tensão dos Capacitores	É um parâmetro extremamente importante para a obtenção da forma de onda de referência da tensão de saída. O controle da média de tensão dos capacitores estabelece a tensão sobre cada capacitor dos submódulos visando se obter um somatório com todas contribuições CC de cada capacitor, formando uma onda CA na saída. Este controle pode ser estabelecido com estratégias em malha fechada ou aberta, juntamente com a inserção de uma onda de referência para estipular os níveis de tensão nominais. O controle da média de tensão dos capacitores está relacionado com a parcela CA da corrente de circulação.
Controle da Potência Ativa e Reativa da Saída	Este parâmetro para o DSCC é obtido de maneira similar ao de um VSI convencional. Nele, ocorre a sintonização da tensão de saída a fim de que a potência ativa e reativa sigam a referência estipulada.

A principal função de um controle do balanceamento de tensão dos capacitores é limitar ao máximo possível as ondulações de tensão provenientes da média de tensão CC dos capacitores dos submódulos $[(1/2N) \sum_{j=1}^{2N} v_{ja}]$. Já o controle de corrente circulante tem como meta suprimir ou manter a magnitude desta corrente em valores suportáveis pelas células, de modo a não danificar os interruptores dos submódulos e controlar a transferência de energia entre o terminal CC e CA do conversor.

Independente do controle a ser utilizado, a média da transferência de potência entre cada célula deve ser nula. Esta condição é a base fundamental para manter a média da tensão dos capacitores dos submódulos constantes.

Como principal referência para execução do presente trabalho, do ponto de vista de balanceamento dos capacitores e supressão das correntes de circulação, o trabalho [102] verificou experimentalmente e teoricamente o comportamento de dois tipos de topologias (a DSCC e DDSCC), com foco em suas configurações de controle de supressão das correntes de circulação e da média (Figura 2.13 (a)) e balanceamento de tensão sobre os capacitores dos submódulos (Figura 2.13 (b)).

A combinação do controle da média geral de tensão e do controle do balanceamento dos capacitores permite que o DSCC obtenha o ideal balanceamento de tensão dos capacitores sem a utilização de um circuito externo, o que é bastante vantajoso. A viabilidade e eficácia da técnica aplicada via comando SPWM foi confirmada por simulação em PSCAD/EMTDC e experimento em laboratório [102].

Devido ao fato de o princípio de funcionamento deste controle em cada fase ser idêntico e independente, o mecanismo demonstrado na Figura 2.13 foi ilustrado apenas para a fase a .

A função da malha externa da Figura 2.13 (a) é controlar \bar{v}_{Ca} (média da tensão dos capacitores). Já a malha interna possui como função forçar a corrente de circulação atual I_{circ_a} a seguir I_{circ}^* (corrente de circulação de referência). Como resultado, este controle de realimentação de i_{circ_a} permite que \bar{v}_{Ca} siga seu comando v_C^* (tensão ideal dos capacitores) sem ser afetado pela corrente de carga i_a . O uso do controle de balanceamento descrito força a tensão CC individual de cada capacitor dos submódulos a seguir o comando v_C^* . I_{Ua} e I_{Da} são as correntes do braço superior e inferior, respectivamente, da fase a e podem ser vistas no modelo do DSCC da Figura 2.9.

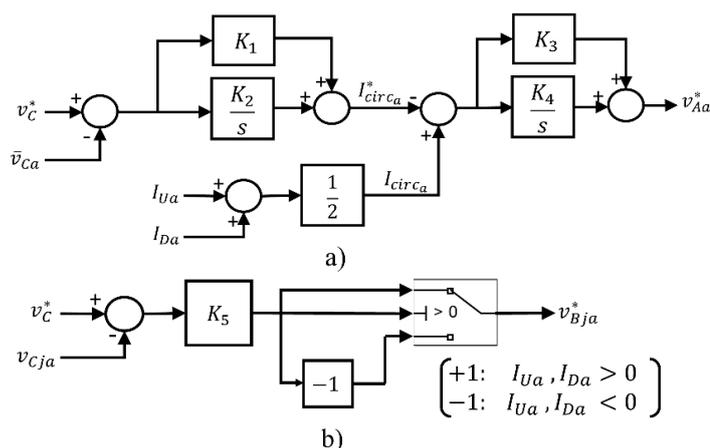


Figura 2.13: Diagrama de blocos do controle de tensão dos capacitores: (a) controle da média de tensão e (b) controle do balanceamento de tensão SPWM-DSCC.

A Figura 2.13 (b) ilustra um diagrama de blocos do controle de equilíbrio de fase a , no qual v_{Bja}^* é o comando de tensão obtido a partir do controle de equilíbrio e j é uma variável que possuirá valores de 1 até N submódulos por braço. Logo, para os blocos da Figura 2.14, J possuirá valores de 1 até N no braço superior e $N+1$ até $2N$ no braço inferior.

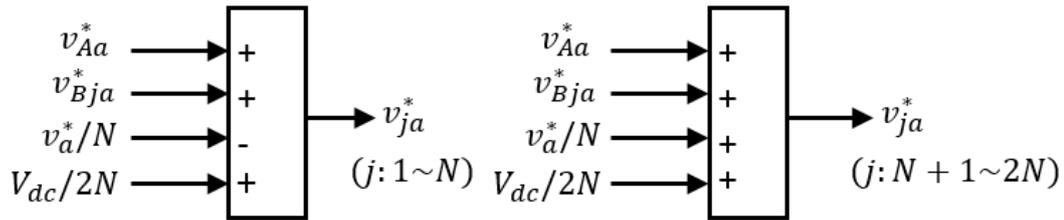


Figura 2.14: Tensão de comando de cada braço. À esquerda: Controle do braço positivo. À direita: Controle do braço negativo.

A Figura 2.14 ilustra a formação do sinal comando de tensão (v_{ja}^*) que será normalizado com a tensão coletada nos capacitores da célula *chopper*. O comando v_a^* é um comando de tensão CA para a carga de fase *a* (sinal de comando desejado para a tensão de fase escolhida pelo projetista).

A Figura 2.14 inclui o controle antecipatório (*feedforward*) da tensão de alimentação CC, e o comando de tensão v_{ja}^* é normalizado por cada tensão CC do capacitor v_{cja} , seguido da comparação com uma portadora triangular de frequência f_c para a implementação da modulação SPWM e geração dos trens de pulsos. Este método de controle em malha fechada foi aplicado a este trabalho e será explicado detalhadamente no Capítulo 3.

As principais abordagens de controle em malha aberta e fechada para o DSCC podem ser vistas, resumidamente, no Apêndice A.3.

2.6 Estratégias de Operação Tolerantes à Faltas

Um método para a detecção de faltas por curto circuito e circuito aberto nas chaves semicondutoras dos submódulos do DSCC foi proposto por [103]. Nesta referência, assim que o conversor entra em operação, utilizando modulação PSCPWM e frequência da portadora de 2 kHz , a tensão sobre os capacitores das células é medida durante $60\mu\text{s}$ (três ciclos do algoritmo de detecção) mediante uma base de regras pré-definida. Baseado nesta reconfiguração, foi criado um diagnóstico de faltas que indica inconformidades entre as tensões dos submódulos e sinais de comutação das chaves, seguido do isolamento do submódulo defeituoso.

O sistema de detecção elaborado em [103] apresentou tempo de resposta curto ($500\mu\text{s}$) e os resultados foram confirmados por simulações. Este sistema também influenciou a montagem de um sistema de identificação de faltas por circuito aberto do DSCC da presente dissertação.

Considerando que os IGBT's são os componentes mais frágeis do DSCC, foi estipulado o desenvolvimento de um observador baseado na detecção de faltas de circuito aberto de IGBT's em [104], que efetivamente comparava valores estimados com os coletados em laboratório. Foi confirmado em [104] que é possível elaborar um detector de faltas baseados não somente nos capacitores das células, mas nas chaves eletrônicas e nas correntes dos braços superiores em inferiores do conversor.

Já no trabalho [113], foi desenvolvido um método de tolerância a faltas baseado na reconfiguração de modulação dos DSCC's. Nesta referência, foi proposto um método prático para reconfigurar a onda senoidal de referência a fim de garantir que as tensões de linha do conversor estejam bem reguladas e não variem. O equilíbrio de tensão para os capacitores dos submódulos foi obtido usando a modulação multiportadora DN baseada num algoritmo de rotação de portadoras. Neste artigo, nos instantes em que ocorre a falta no DSCC, foi inserido em paralelo com a célula a ser isolada um TRIAC (do inglês, *Triode for Alternating Current*), para que a corrente possa fluir em ambas as direções durante a operação sob faltas e o controle ocorra sem problemas.

É importante ressaltar que a solução baseada na inserção uma chave de *bypass* em paralelo com uma célula de conversor multinível foi proposta inicialmente por Peter Hammond e Marc Aiello [113]

em 1999 no projeto de um conversor cascata genérico regenerativo. Opções viáveis de tiristores de potência disponíveis no mercado são discutidas no Capítulo 3.

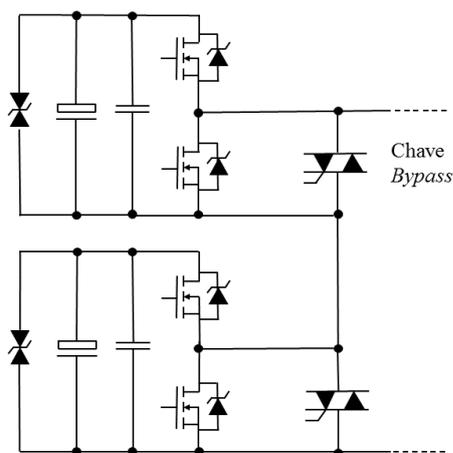


Figura 2.15: Estrutura da célula tolerante a faltas proposta por [113].

No trabalho [120] foi desenvolvida uma topologia do conversor DSCC com submódulos redundantes. Foi observado que esta configuração, disposta na Figura 2.16, diminuía a frequência de chaveamento percentual em $100 * N / (N + M) \%$ enquanto reduzia as ondulações de tensão dos capacitores e fornecia tolerância à faltas. Sendo N o número de submódulos por braço e M o número de submódulos redundantes.

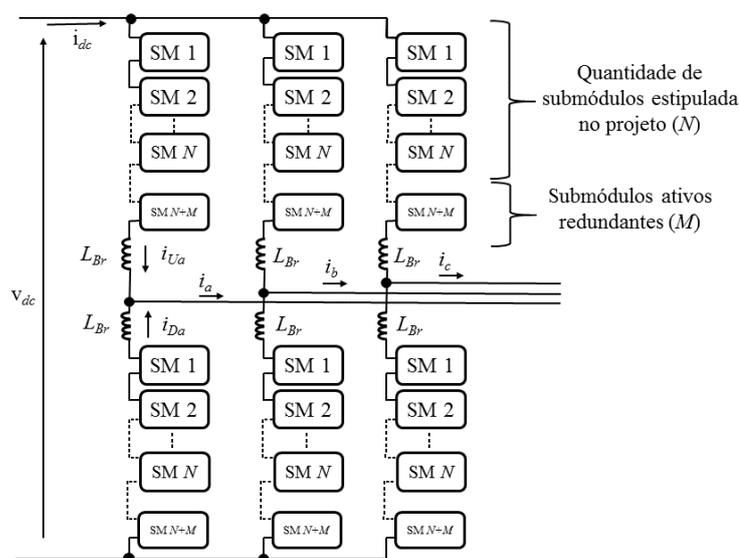


Figura 2.16: Proposta de submódulo redundante discutida em [120].

Em [120] foi demonstrado que a constituição do conversor multinível é convidativa para um sistema redundante de segurança, pois, com a falta de um submódulo, este pode ser ignorado sem significativa interferência no sistema. Além disso, uma modelagem matemática de uma topologia redundante do DSCC foi elaborada pelos autores e confirmou-se que a utilização de submódulos redundantes não afeta os controladores encarregados de suprimir as correntes circulantes [120].

2.7 Conclusões Parciais

Em meio à diversa variedade de técnicas de controle das correntes circulantes e do balanceamento dos capacitores do DSCC, optou-se pela técnica desenvolvida em [48] que reúne num

mesmo sistema o controle do balanceamento dos capacitores e das correntes circulantes sem o uso de um controle externo, o que a torna uma excelente estratégia, apesar de possuir maior complexidade de controle que as demais.

Foi observado que o DSCC é vulnerável à faltas nos submódulos e barramento CC, enquanto que os conversores modulares multiníveis que utilizam células Ponte H possuem a vantagem de suportar estas faltas nas chaves estáticas sem interromper o funcionamento do conversor. Porém, o uso de células Ponte H no DSCC possui a desvantagem de precisar de um número maior de componentes e um processamento computacional muito superior.

No presente capítulo foram apresentadas as principais topologias de conversores multiníveis, bem como a família dos conversores modulares multiníveis, pertencente ao Conversor Modular Multinível em Dupla Estrela com células Meia Ponte (DSCC), foco deste trabalho. Foi avaliada a variedade de estruturas existentes (Dual, Delta, Star, Double-Star, Triple-Star) que a família de conversores modulares multiníveis possui e suas particularidades.

Foi realizada também, no presente capítulo, a modelagem matemática generalizada para um conversor DSCC trifásico com N células por braço e $(2N+1)$ níveis de tensão por fase, em que foi considerada a resistência R_{Br} de cada braço para uma análise generalizada e, em seguida, foi analisado o modelo proposto do DSCC utilizando quatro células por braço.

Neste capítulo foi comprovada matematicamente a existência das correntes de circulação i_{Circ} pertencentes a cada fase, bem como os parâmetros de tensão e energia dos capacitores dos submódulos e potência total fornecida pelo conversor.

As discussões desenvolvidas nesta seção foram cruciais para escolha de diversos parâmetros de projeto para o conversor DSCC proposto, como uma modelagem de um sistema que controle a corrente circulante e um modelo de dimensionamento e controle fundamentado nos requisitos energéticos de armazenamento ideais para os capacitores do conversor.

Foi observado que as técnicas DN e DF numa operação do DSCC em malha aberta apresentam dois harmônicos principais centralizados sobre f_c e $2Nf_c$, respectivamente. Porém, os trabalhos [85, 124, 125] afirmam que esta localização passa a ser f_c para ambas as técnicas após a utilização de um controle de supressão de i_{circ} em malha fechada.

Capítulo 3

3 Controle Tolerante à Falhas de Um Conversor DSCC

O presente capítulo, inicialmente, descreve o DSCC proposto e os parâmetros levados em consideração para o seu projeto e controle.

Em seguida, é elaborado o dimensionamento do DSCC necessário para as simulações em malha fechada utilizando o controle PI e a técnica de modulação PSCPWM em condições plenas e sob a ação de faltas simétricas e assimétricas, expostas no Capítulo 5.

No presente capítulo são expostas duas propostas de compensação de faltas nos submódulos do DSCC que, além de identificar quais células estão danificadas, são capazes de evitar desligamentos inesperados do sistema e são adaptáveis a quaisquer projetos.

O primeiro sistema à prova de faltas nos submódulos se baseia na compensação da falta via fornecimento extra de energia das células restantes. O segundo método é baseado numa adaptação da técnica de deslocamento de neutro para o DSCC.

3.1 Descrição do Conversor DSCC Selecionado Para Estudo

A Figura 3.1 mostra o conversor de 4 submódulos proposto nesta dissertação. Neste DSCC, dispõe-se de 4 células por braço ($N = 4$) e insere-se uma carga RL com parâmetros que serão descritos na Seção 3.2. Portanto, trata-se de uma aplicação *standalone* do DSCC.

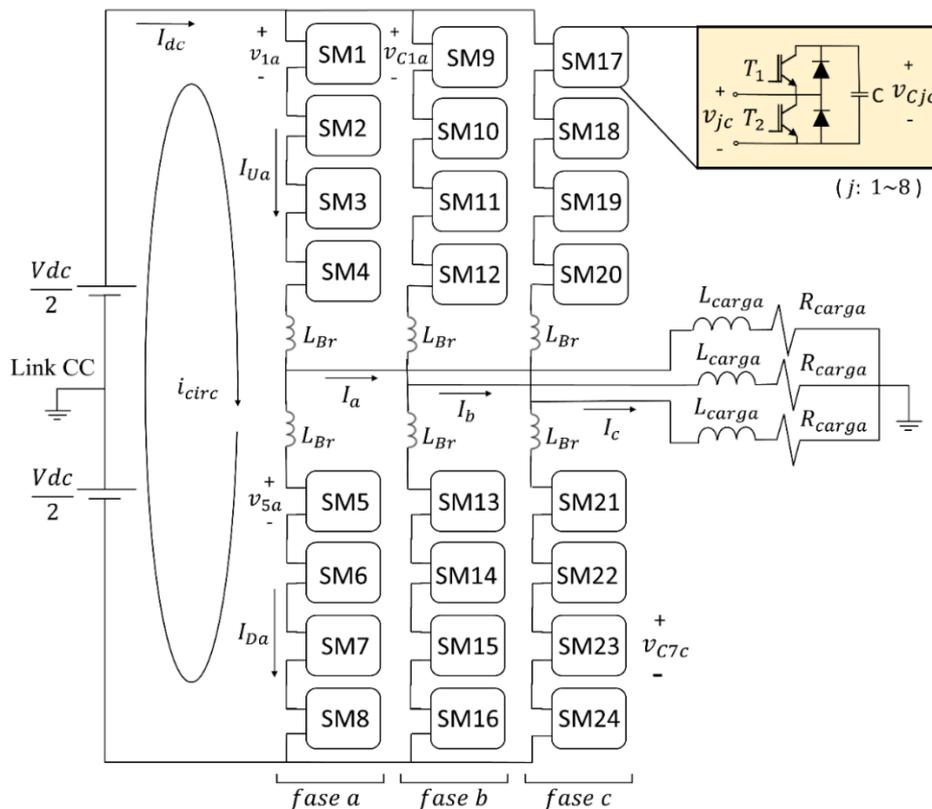


Figura 3.1: Conversor DSCC proposto de 24 células sem a inserção dos resistores dos braços (R_{Br}).

A tensão de saída do DSCC é a soma da tensão dos capacitores relativos à cada submódulo Meia Ponte. Analisando-se o circuito referente à fase “a” via LTK, considerando j o número correspondente de cada capacitor dos braços superior e inferior (1 até 8) e ignorando-se os resistores R_{Br} , tem-se:

$$V_{dc} = \sum_{j=1}^8 v_{ja} + L_{Br}d(I_{Ua} + I_{Da})/dt \quad (3.1)$$

A tensão média dos capacitores, parâmetro extremamente importante para o sistema de controle utilizado neste trabalho, pode ser obtida analisando-se o circuito da Figura 3.1 para cada fase. Logo:

$$\bar{v}_{Ca} = (1/8) \sum_{j=1}^8 v_{ja} \quad (3.2)$$

Considerando que a energia nominal de cada capacitor dos submódulos seja dada por:

$$E_{SM} = (1/2)Cv_{ja}^2 \quad (3.3)$$

Sendo C a capacitância do submódulo. A tensão nominal de cada célula (considerando como exemplo a fase a) pode ser obtida por:

$$v_{ja} = V_{dc}/N \quad (3.4)$$

O termo v_{ja} é o valor de referência, ou valor nominal, da tensão no capacitor do submódulo j de fase a do DSCC. Considerando N submódulos por braço, pode-se então obter a energia nominal armazenada em cada braço (superior ou inferior) do conversor como:

$$E_{nom} = (N/2)Cv_{ja}^2 \quad (3.5)$$

A potência ativa de entrada do conversor DSCC (ou potência CC) pode ser calculada conforme:

$$P_{dc} = V_{dc}I_{dc} \quad (3.6)$$

Inicialmente usada em um compensador estático de potência reativa ou SVC (do inglês, *static var compensator*), foi desenvolvida em [48] uma constante unificada, a fim de auxiliar o dimensionamento dos capacitores das células, denominada *Unit Capacitance Constant* (H). Esta constante é definida como uma média de toda a energia eletrostática armazenada nos capacitores e é fornecida em segundos.

A constante H para um DSCC pode ser obtida dividindo-se a energia armazenada nos capacitores pela potência nominal do DSCC e é dada como:

$$H = 2NE/P_{dc} \quad (3.7)$$

Logo, para o projeto em questão:

$$H = \left[(3)(2N) \left(\frac{1}{2} \right) (Cv_{ja}^2) \right] / P_{dc} \quad (3.8)$$

É importante ressaltar que a multiplicação da Equação 3.8 por 3 deve-se ao fato deste DSCC ser trifásico. O parâmetro H , expressado acima, também é útil para a obtenção da capacitância dos submódulos do DSCC.

O artigo [97] mostra que a média de tempo das tensões dos submódulos é relacionada à v_{ja} e que é possível controlar a média de tempo das tensões dos mesmos através do controle da energia armazenada no conversor. Para levar isso em consideração, os autores introduziram o fator k_{dc} . Este fator indica a relação entre a tensão nominal do submódulo e a tensão direta, que está associada à média de tempo da energia armazenada nos submódulos. Ou seja:

$$v_{ja}^* = k_{dc} V_{dc} / N \quad (3.9)$$

É importante frisar que a tensão de cada submódulo irá variar mediante o tempo que os capacitores carregam e se descarregam, devido à corrente dos braços. O valor nominal de k_{dc} é 1,0pu; na presente dissertação foi considerado este valor nominal. Substituindo-se v_{ja} obtido em (3.9) em (3.5), a média de tempo de energia armazenada em cada braço será:

$$E_{Br} = C k_{dc}^2 v_{dc}^2 / 2N. \quad (3.10)$$

Ao controlar o conversor para que o valor de k_{dc} seja maior ou menor que uma unidade, a média de tempo da energia armazenada nos submódulos é afetada. A Figura 3.2 ilustra a relação entre as tensões inseridas, as tensões do capacitor e a tensão controlada $k_{dc} V_{dc}$.

A Figura 3.2 é um exemplo em que o valor de k_{dc} é 0,87pu e o conversor está operando no modo “inversor” com um ângulo de potência indutivo de 40° e m_a de 0,9. Observa-se que, mesmo que a média de tempo da tensão disponível tenha sido reduzida, o conversor ainda pode operar sem ultrapassar a região de sobremodulação.

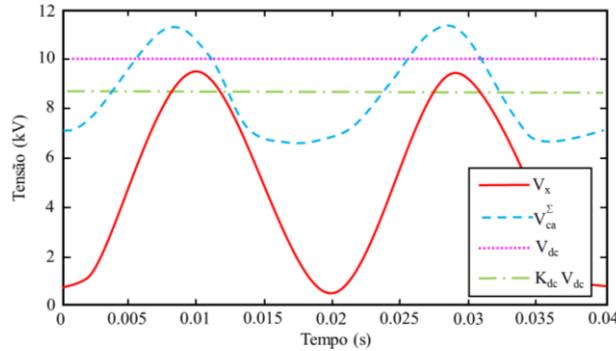


Figura 3.2: Relação entre a tensão inserida (V_x), disponível (v_{cja}^Σ), barramento CC (V_{dc}) e fator k_{dc} . Fonte: HARNEFORS; *et al* [97] (traduzido).

Partindo-se desta assertiva, foi criado um fator que define o limite superior de tensão dos capacitores, de modo que o valor instantâneo da tensão destes nunca se tornem maiores que k_{max} [97]. Foi estipulado também o dimensionamento dos capacitores dos submódulos baseado no armazenamento de energia, conforme a relação abaixo.

$$v_{cja} \leq k_{max} V_{dc} / N \quad (3.11)$$

O limite k_{max} está diretamente relacionado à quantidade máxima de energia que pode ser armazenada em cada braço. O valor instantâneo da energia armazenada em um submódulo pode ser expresso como:

$$e_{cap} = C v_{cja}^2 / 2 \quad (3.12)$$

Substituindo a Equação (3.11) em (3.12), obtém-se:

$$e_{cap} \leq C (k_{max} V_{dc} / N)^2 / 2 \quad (3.13)$$

Consequentemente, a energia máxima permitida armazenada em cada submódulo será:

$$e_{cap} = C k_{max}^2 V_{dc}^2 / 2N^2 \quad (3.14)$$

Multiplicando-se a energia por submódulo pelo número de submódulos por braço (N) obtém-se os limites para a energia armazenada em cada braço, como demonstrado na Equação (3.15).

$$E_{max} = Ck_{max}^2V_{dc}^2/2N \quad (3.15)$$

De modo que E_{max} é a energia máxima que pode ser armazenada em cada braço do conversor sem exceder a tensão nominal dos submódulos. A quantidade máxima de energia excedente que pode ser armazenada em cada braço é definida como ΔE_{max} . Portanto:

$$\Delta E_{max} = E_{max} - E_{Br} \quad (3.16)$$

Substituindo-se E_{Br} por (3.5) e E_{max} por (3.15) a Equação (3.16) obtém-se

$$\Delta E_{max} = V_{dc}^2C(k_{max}^2 - k_{dc}^2)/2N. \quad (3.17)$$

Sabe-se que, para um dado valor de ΔE_{max} , existe um valor mínimo de capacitância (C_{min}) para os capacitores dos submódulos. Este valor pode ser obtido isolando-se C na Equação (3.17), que fornecerá

$$C_{min} = 2N\Delta E_{max}/[V_{dc}^2(k_{max}^2 - k_{dc}^2)]. \quad (3.18)$$

Portanto, a Inequação (3.11) é satisfeita caso a capacitâncias C dos capacitores dos submódulos sejam iguais ou maiores que C_{min} . Pode-se também obter o valor mínimo da energia nominal armazenada pelos braços do conversor DSCC apenas substituindo a capacitância C da Equação (3.5) pela obtida na Equação (3.18), como mostra a Equação (3.19).

$$E_{nom} \geq \Delta E_{max}/(k_{max}^2 - k_{dc}^2) \quad (3.19)$$

Através da Equação (3.19), nota-se que a energia nominal que deve ser armazenada nos braços do conversor para satisfazer (3.11) depende apenas de ΔE_{max} , da constante k_{max} e de k_{dc} . Para obter o valor mínimo da capacidade de armazenamento de energia para cada braço, basta substituir C da Equação (3.12) pela Equação (3.15). Portanto:

$$E_{max} \geq \Delta E_{max}[k_{max}^2/(k_{max}^2 - k_{dc}^2)] \quad (3.20)$$

Logo, observa-se que os requisitos mínimos da capacidade de armazenamento de energia dependem apenas de ΔE_{max} , da constante k_{max} e de k_{dc} . O tamanho e o custo dos capacitores de submódulos são proporcionais à capacidade nominal de armazenamento de energia dos capacitores. Pode-se então afirmar que todos os conversores, independente do número de submódulos por braço, possuirão as mesmas limitações para o tamanho e o custo dos capacitores dos submódulos [97].

De acordo com [97], é possível expressar os requisitos de armazenamento de energia dos capacitores dos submódulos em termos do armazenamento total de energia por VA transferido. Baseado nisto, [97] afirma que ΔE_{max} é proporcional à transferência de energia aparente (S). Como consequência, E_{nom} e E_{max} são proporcionais à transferência de energia aparente também. Em suma: para calcular os requisitos mínimos de armazenamento de energia, o excesso de armazenamento de energia ΔE_{max} deve ser conhecido [97]. Portanto, para um conversor trifásico (com seis braços ou três fases), os requisitos de armazenamento de energia podem ser expressos como:

$$C = 2NE_{nom}/V_{dc}^2 \quad (3.21)$$

Os requisitos de armazenamento de energia em (3.19) e (3.20) não dependem apenas do limite de tensão definido por k_{max} e do excesso de energia ΔE_{max} , mas também na constante k_{dc} . O valor de k_{dc} pode ser alterado controlando a média de tempo da energia armazenada no conversor, com certas limitações para a escolha do valor do k_{dc} .

O motivo desta limitação deve-se ao fato de que, quando a tensão de referência para cada fase do conversor for aplicada, a tensão solicitada deverá estar disponível nos capacitores dos braços correspondentes. Se a soma de todas as tensões dos capacitores dos braços for menor que a tensão solicitada, ocorrerá uma sobremodulação. Portanto, o valor de k_{dc} deve ser escolhido de tal forma que a tensão solicitada esteja disponível nos capacitores das células em todos os momentos [97].

Além disso, em [97] foi observado que a inserção de terceiro harmônico no método de modulação reduz drasticamente a exigência de armazenamento de energia nos capacitores.

É possível expressar os requisitos de armazenamento de energia do DSCC em termos de armazenamento total de energia por VA transferido para o DSCC trifásico através das equações (3.22) e (3.23) [97]. Analisando-se um DSCC trifásico, existirá seis braços e o seu requisito energético será:

$$W_{M2C_{conv}} = 6E_{nom}/S \quad (3.22)$$

$$W_{M2C_{nom}} = 6E_{max}/S \quad (3.23)$$

De modo que $W_{M2C_{conv}}$ é o armazenamento nominal de energia requerido por VA transferido e $W_{M2C_{nom}}$ é a capacidade de armazenamento nominal de energia no DSCC.

Em [97], foram analisados também os requisitos de armazenamento de energia para uma referência de tensão senoidal quando a injeção harmônica de terceira ordem é utilizada. Nela, foi inserido o termo 3^{th} sobrescrito (W_{M2C}^{3th} e $W_{M2C_{nom}}^{3th}$). A Figura 3.3 mostra os requisitos energéticos W_{M2C} e W_{M2C}^{3th} para o DSCC utilizando diferentes valores de k_{max} e levando em consideração o índice de modulação em amplitude (Figura 3.3 (a)) e o ângulo de potência (θ) dado em graus (Figura 3.3 (b)).

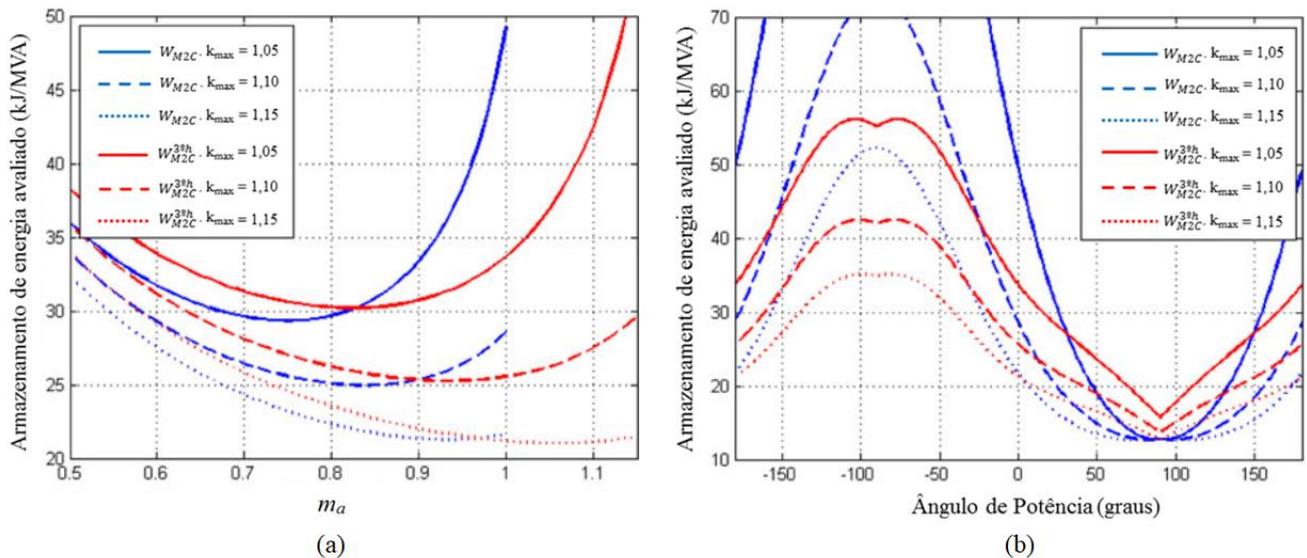


Figura 3.3: Armazenamento de energia nominal do conversor DSCC utilizando e não utilizando injeção de terceiro harmônico. (a) Capacidade de armazenamento de energia em MW de potência ativa para diferentes valores de k_{max} . (b) Capacidade de armazenamento energético exigido em kJ/MW por potência ativa transferida. Fonte: HARNEFORS; *et al* [97] (traduzido).

Os requisitos de armazenamento energético do DSCC dependem do limite de tensão definido por k_{max} , de modo que $k_{max} = 1,10$ imprime um limite máximo de 10 %. Estes requisitos dependem também de m_a , da frequência de linha (estipulado neste trabalho como 60Hz) e do ângulo de potência θ .

A Figura 3.3 (a) mostra a relação entre a capacidade de armazenamento de energia necessária para o DSCC e o m_a , meio à transferência de energia ativa, para diferentes valores de k_{max} .

Como esperado, os requisitos de armazenamento de energia são reduzidos à medida que k_{max} é aumentado. Ainda baseado no gráfico da Figura 3.3, pode-se obter uma estimativa aproximada, observando-se que a capacidade mínima de armazenamento de energia necessária para transferência de energia ativa está na faixa de 20 à 30 kJ/MVA e que a injeção de 3º harmônico leva a uma redução dos requisitos de armazenamento de energia em elevados índices de modulação em amplitude e baixos valores de k_{max} .

Sugere-se que, para minimizar a quantidade total de silício instalado no conversor, o m_a seja alto e o k_{max} seja baixo [97]. Porém, para o escopo da presente dissertação, em que deseja-se obter controle e transferência máxima de energia com valor estável na corrente e tensão de saída para suprir possíveis faltas, foi pertinente utilizar um valor de k_{max} de 1,05. Isto eleva a capacidade de armazenamento de energia dos submódulos restantes, para que estes possam assim compensar uma falta dos que foram isolados.

A Figura 3.3 (b) mostra a capacidade de armazenamento de energia necessária para transferir 1 MVA em diferentes ângulos de potência com o $m_a = 1$. Observa-se que a injeção de harmônico de terceira ordem reduz significativamente os requisitos de armazenamento de energia quando o conversor está consumindo potência reativa. Para a geração de energia reativa, a relação é contrária, porém menos significativa.

A capacidade de armazenamento de energia necessário na Figura 3.3 indica que é necessária uma capacidade de armazenamento de energia menor quando a energia reativa é gerada, em comparação à transferência de energia ativa e o consumo de energia reativa.

As capacidades de armazenamento energético W_{M2C} e $W_{M2C}^{3\theta h}$ apenas consideram a potência transferida pelos submódulos. Isto significa que a potência reativa, que é consumida pelos indutores do braço, não está incluída nos requisitos acima mencionados de armazenamento de energia.

As correntes parasitas no DSCC podem ser limitadas por indutores ou reatores de proteção pequenos. Estes, por sua vez, não consumiriam quantidades consideráveis de potência reativa [3, 9-10, 97]. Lembrando que o objetivo dos indutores inseridos em cada braço é, também, limitar as correntes de falta e melhorar as características da forma de onda da corrente de circulação.

Portanto, em aplicações conectadas à rede, os indutores do braço são tipicamente muito maiores do que o necessário para limitar a ondulação de corrente resultante da operação dos submódulos.

Com efeito, em aplicações conectadas à rede e isolados, os valores adequados dos indutores do braço devem possuir valores na faixa de 0,1 pu até 0,3 pu [97]. Para obter uma proteção mínima adequada, foi considerado neste trabalho a faixa de até 0,1 pu para os indutores dos braços.

3.2 Controle de Balanceamento das Tensões nas Células e da Corrente de Circulação

O desenvolvimento de um sistema de controle que monitora a tensão e energia sobre os capacitores dos submódulos, bem como controla a corrente de circulação em cada fase foi necessário para implementar o controle proposto nesta dissertação (para um DSCC sob ação de falta nos submódulos). Além disso, o sistema precisa balancear a tensão dos capacitores a níveis de energia suportáveis, mediante a capacitância projetada, em condições ideais ou inadequadas (sob faltas).

Todos os parâmetros citados só podem ser alcançados por meio de um controle em malha fechada. Portanto, foram utilizadas em todas as simulações em malha fechada a técnica PSCPWM devido a sua adaptabilidade frente à modularidade e escalabilidade do DSCC e por apresentar, a todo o momento, portadoras dispostas em fase que possuem a mesma amplitude da fundamental, conforme discutido em [75].

Para obter todos os fenômenos de controle citados na Tabela 2.2, muitos trabalhos fazem uso de controles internos e externos, somando-se assim diferentes estratégias, o que caracteriza uma abordagem de controle generalizada.

Na presente dissertação, foi desenvolvido um modelo de controle adaptável às faltas de submódulos inspirado no controle proposto em [48], em que foi criado um mecanismo de operação para o DSCC baseado em um controle PI para controlar os níveis de tensão dos capacitores do DSCC e suprimir as correntes de circulação (denominado controle da média).

Além disso, nesta dissertação pretendeu-se balancear cada capacitor dos braços do conversor através de um controle denominado “controle do balanceamento” sem o uso de circuito externo. Esta abordagem foi aplicada neste trabalho devido a sua grande praticidade e robustez ao associar o controle da média de tensão ao controle do balanceamento de tensão dos capacitores.

O controle da média força a média de tensão obtida nos capacitores (\bar{v}_C) a seguir a tensão de comando (v^*) em cada fase e suprime a corrente de circulação. O controle do balanceamento mantém fixa a tensão dos capacitores de cada submódulo aos valores estipulados pelo projetista.

Os diagramas destas técnicas estão apresentados nas Figuras 2.13 e 2.14, mas serão exibidas novamente neste capítulo para facilitar a compreensão e análise durante a leitura. É interessante também utilizar o DSCC da Figura 3.1 como modelo, para melhor compreensão do sistema a seguir.

O sistema proposto nesta dissertação possui 4 células por braço e os parâmetros nos blocos de controle utilizados basearam-se nos termos dispostos na Figura 3.1 ($v_{Cja}, I_a, I_{dc}, I_{Ua}$ e I_{Da} , dentre outros).

Vale ressaltar que os diagramas e ilustrações nesta explicação, apesar de demonstrarem apenas a fase *a*, são aplicáveis também às fases *b* e *c*. Portanto, os princípios fundamentais no monitoramento e controle em cada célula são idênticos e independentes em cada fase.

Como ponto inicial, deve ser inserido como parâmetro imprescindível a tensão ideal para cada capacitor (v_C^*). A Figura 3.4 (a) mostra o diagrama de blocos do controle da média de tensão dos capacitores e a Figura 3.4 (b) o controle do balanceamento.

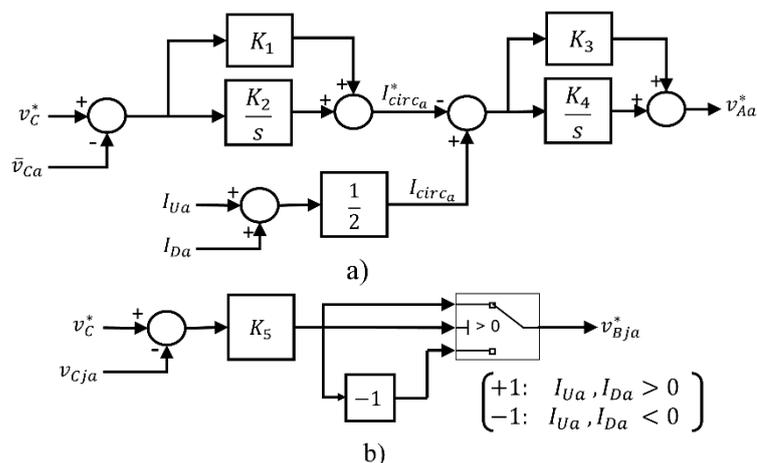


Figura 3.4: Diagrama de blocos do controle da média de tensão dos capacitores: (a) controle da média e (b) controle do balanceamento do DSCC.

A partir da inicialização do sistema, a tensão sobre cada capacitor (v_{cja}) foi coletada e a média da tensão dos capacitores da fase *a* do DSCC (\bar{v}_{ca}) foi calculada por meio da Equação 3.2.

Inicialmente, comparou-se a tensão desejada para cada capacitor com a média de tensão obtida por todos os capacitores e um controle Proporcional e Integral foi inserido. Este tipo de controle é bastante robusto e de fácil utilização e sintonia. O parâmetro derivativo não foi inserido neste sistema,

por sua dificuldade em ser sintonizado e por não ter surtido efeito nesta aplicação em especial (maiores detalhes em [48], [102]).

No sistema da Figura 3.4 (a), em que está apresentada a média de tensão dos capacitores, utiliza-se como parâmetros o ganho proporcional do controle da média (K_1) e o ganho integral do controle da média (K_2). O resultado desta operação será a corrente de circulação desejada ($I_{circ_a}^*$), que será comparada com a corrente de circulação atual (I_{circ_a}), obtida através da coleta da corrente do braço superior (I_{Ua}) e inferior (I_{Da}) do DSCC, mediante a Equação 2.8. A formulação obtida para i_{circ}^* pode ser vista na Equação 3.24.

$$i_{circ}^* = K_1(v_c^* - \bar{v}_{Ca}) + K_2 \int (v_c^* - \bar{v}_{Ca}) dt \quad (3.24)$$

O sistema descrito acima é utilizado em sistemas de controle que possuem largas mudanças de *setpoint* e, por conta disso, o termo integral acumula um erro elevado na saída (*windup*), o que é indesejado. O bloco torna-se necessário devido às variáveis de entrada do sistema serem os sinais de tensão CC provenientes de cada capacitor dos submódulos. Visa-se assim saturar o sistema e mantê-lo controlável. A ideia central do controlador PI presente na Equação (3.24) é impedir que o integrador continue a se carregar quando a saturação ocorre.

O resultado da operação descrita na Equação 3.24 (a) passa novamente por um controle PI, no qual o sinal de controle v_{Aa}^* é obtido, o que irá auxiliar na definição da tensão de comando para as chaves dos submódulos. O diagrama de blocos da Figura 3.4 é denominado “controle da média” e possui como resultado o sinal v_{Aa}^* . Este último é dado como:

$$v_{Aa}^* = K_3(i_{circ_a} - i_{circ}^*) + K_4 \int (i_{circ_a} - i_{circ}^*) dt. \quad (3.25)$$

Em que K_3 é o ganho proporcional do controle da corrente de circulação e K_4 é o ganho integral do controle da corrente de circulação. Na Figura 3.4 (a), a função do loop interno é forçar a corrente de circulação coletada i_{circ_a} a seguir I_{circ}^* (corrente de referência). Como resultado, este controle de realimentação de i_{circ_a} permite que \bar{v}_{Ca} siga o comando v_c^* sem ser afetado pela corrente da carga i_a . Portanto, o uso do controle da média descrito na Figura 3.4 (a) força a tensão CC de cada capacitor a seguir o comando v_c^* .

A Figura 3.4 (b) ilustra o diagrama de blocos para o controle do balanceamento de tensão dos capacitores da fase *a*. Nele, é aplicado um ganho proporcional K_5 denominado “ganho proporcional de controle do balanceamento” e é obtido na saída um sinal de controle v_{Bja}^* , denominado “comando de tensão do controle do balanceamento”.

Portanto, o diagrama da Figura 3.4 (b) é descrito como “controle do balanceamento” e possui seu equacionamento descrito conforme (3.26) e (3.27).

Para os submódulos dos braços superiores ($j = 1$ até $j = 4$) e considerando a fase *a* como exemplo, tem-se:

$$V_{Bja}^* = \begin{cases} K_5(v_c^* - v_{Cja}), & i_{Ua} > 0 \\ -K_5(v_c^* - v_{Cja}), & i_{Ua} < 0 \end{cases} \quad (3.26)$$

Para os braços inferiores ($j = 5$ até $j = 8$) tem-se:

$$V_{Bja}^* = \begin{cases} K_5(v_c^* - v_{Cja}), & i_{Da} > 0 \\ -K_5(v_c^* - v_{Cja}), & i_{Da} < 0 \end{cases} \quad (3.27)$$

Baseado no diagrama da Figura 3.4 (b) e nas equações (3.26) e (3.27), observa-se que o V_{Bja}^* possui seu sinal definido pelo resultado da diferença entre a tensão ideal (v_c^*) e coletada (v_{cja}) de cada capacitor dos braços do DSCC. Logo, indiretamente, V_{Bja}^* é dependente da polaridade da corrente do braço superior e inferior do DSCC.

Portanto, usando como exemplo o braço superior do DSCC ($j = 1$ até $j = 4$), quando $v_c^* \geq v_{cja}$, uma potência ativa positiva deve ser fornecida do barramento CC para os submódulos pertencentes ao braço superior. Sendo assim, quando i_{Ua} é positivo, o produto de v_{Bja} e i_{Ua} é responsável pela formação de uma potência ativa positiva. Quando i_{Ua} é negativo, a polaridade de v_{Bja} deve ser invertida para que o sinal da potência ativa formada também se torne positivo.

O comando de tensão do braço superior e inferior da fase a do DSCC, considerando $N=4$, está apresentado na Figura 3.5. Logo, J possuirá valores de 1 até 4 para o braço superior e possuirá valores de 5 até 8 para braço inferior.

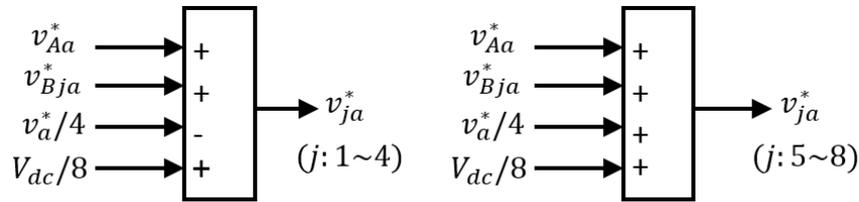


Figura 3.5: Tensão de comando de cada braço (controle do balanceamento) para um DSCC de 4 células por braço. À esquerda ilustra-se o controle do braço positivo e à direita o do braço negativo.

A Figura 3.5 ilustra a formação do comando de tensão (v_{ja}^*) de cada célula Meia Ponte. Nele, o comando dos braços positivo e negativo são obtidos, de modo que v_a^* é o sinal de referência da tensão da carga. O sinal de referência v_a^* pode ser alterado a qualquer momento pelo operador durante o funcionamento do DSCC.

Baseado no diagrama da Figura 3.5, v_{ja}^* é dado como

$$v_{ja}^* = v_{Aa}^* + v_{Bja}^* - v_a^*/4 + V_{dc}/8 \quad (3.28)$$

e possui como função comandar as chaves dos submódulos pertencentes ao braço superior. Ainda sobre a Figura 3.5, o sinal de comando

$$v_{ja}^* = v_{Aa}^* + v_{Bja}^* + v_a^*/4 + V_{dc}/8 \quad (3.29)$$

será encarregado de comandar as chaves dos submódulos pertencentes ao braço inferior.

Pode-se observar que a Figura 3.5 inclui o controle antecipatório (*feedforward*) da tensão de alimentação CC (V_{dc}) e que existe um sinal de controle v_{ja}^* para cada submódulo do DSCC. Logo, v_{ja}^* é normalizado com a tensão CC coletada por cada capacitor dos submódulos (v_{cja}). O resultado desta normalização se torna a onda fundamental utilizada no processo de modulação SPWM a ser aplicado, possuindo valor mínimo de zero e máximo de um.

O processo de modulação, por sua vez, gera os padrões de pulsos que serão aplicados às chaves dos respectivos submódulos do DSCC. Este processo é a etapa final do controle em malha fechada desta dissertação e pode ser visto na Figura 3.6.

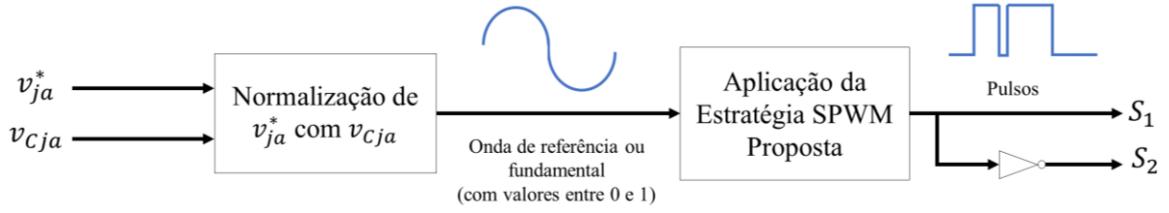


Figura 3.6: Etapa final do Controle da média de tensão e balanceamento dos capacitores do DSCC para fase a .

Considerando a aplicação de uma técnica DF e $N = 4$, é necessária uma defasagem entre as portadoras de $360/2N = 45^\circ$. Além disso, devido aos 8 submódulos por fase, o conversor deve possuir uma frequência de chaveamento equivalente de $f_{eq} = 8f_c$.

Sabe-se que a sobremodulação produz distorção de banda de baixa frequência e deve ser evitada sempre que possível. Este é o motivo de se estipular uma onda fundamental normalizada de zero à um durante todo o processo do controle.

O sinal de controle v_a^* é de extrema importância no controle do DSCC pelo fato de oferecer ao operador a opção de se escolher a amplitude do sinal de saída durante a operação plena e durante faltas nos submódulos.

Dito isso, em uma situação de faltas nos submódulos pode-se reduzir, através de v_a^* , a amplitude da tensão de saída para que o funcionamento do sistema não seja interrompido, uma vez que muitos motores operam com tensões até 70 % menores do que a nominal (isso reduz o conjugado para 49 %) sem grandes desgastes em sua estrutura e sem comprometer o sistema de controle. Isto equivaleria a uma situação de operação ininterrupta de um DSCC que possui 10 células por braço com 3 células inutilizadas em cada um desses braços [126].

Para esta manobra é necessário curto circuitar a entrada da célula danificada para que a corrente possa fluir pelos braços do conversor, uma vez que quando um submódulo é danificado este se torna um circuito aberto.

O sinal de referência v_a^* é dado por:

$$v_a^* = V_{RMS}(\sqrt{2})(\sqrt{3})\sin(2\pi ft) \quad (3.30)$$

ou, deixando em função do barramento CC, para cada fase, tem-se:

$$v_a^* = (V_{dc}/2) \sin(2\pi ft) \quad (3.31)$$

$$v_b^* = (V_{dc}/2) \sin(2\pi ft + 2\pi/3) \quad (3.32)$$

$$v_c^* = (V_{dc}/2) \sin(2\pi ft - 2\pi/3). \quad (3.33)$$

Sendo f como a frequência nominal da rede (60 Hz) e V_{dc} como a tensão do barramento CC.

A Figura 3.7 apresenta, resumidamente, o controle proposto nesta dissertação.

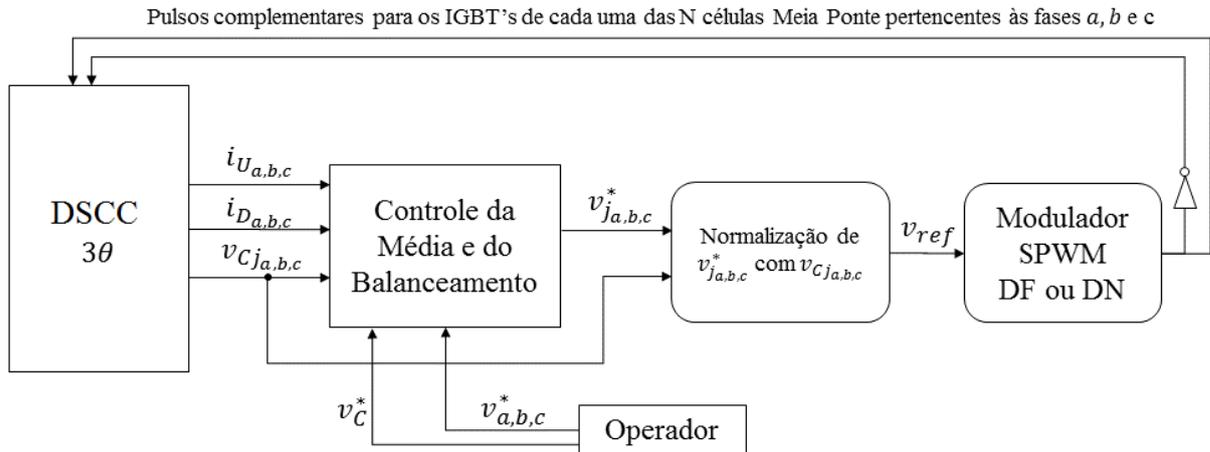


Figura 3.7: Diagrama completo do controle aplicado nesta dissertação.

Na presente dissertação, por mérito de comparação com o projeto de criação da técnica de controle via modulação PI utilizada, é estipulado um sistema com a potência ativa semelhante ao trabalho [48] (1 MW) para utilizar o controle proposto mediante à mínima exigência energética dos capacitores. Os detalhes acerca do dimensionamento estão mostrados no Capítulo 4.

No presente projeto, é focada a aplicação de um DSCC para o abastecimento de uma carga trifásica RL com fator de potência 0,9 sob a frequência de 60 Hz. Os resistores, indutores da carga e os capacitores dos submódulos são dimensionados baseados nestes parâmetros.

Os valores da reatância indutiva dos reatores de proteção e da carga são preestabelecidos em valores pu, como discutido na Seção 2.2. Estipulou-se 0,1 pu (10 %) e 0,062 pu (6,2 %) para a reatância indutiva dos reatores de proteção e da carga, respectivamente.

Inicialmente, após estipular a potência aparente e o fator de potência da carga do sistema, é calculado o ângulo de potência da carga pela equação (3.34).

$$\cos(\theta) = 0,9 \quad (3.34)$$

O próximo passo é calcular a indutância de proteção dos braços do DSCC e a indutância e resistência da carga utilizada.

Sabe-se que a impedância de base para um sistema trifásico (Z_b) é dada por:

$$Z_b = V_b / (\sqrt{3} I_b) = V_b^2 / S_b. \quad (3.35)$$

Sendo V_b , I_b e S_b a tensão, corrente e potência aparente de base, respectivamente.

A reatância de um componente em pu é dada por:

$$X_{pu} = X_{nom} / Z_b. \quad (3.36)$$

Sendo X_{nom} a reatância nominal deste componente. A reatância indutiva é dada como:

$$X_L = 2\pi fL. \quad (3.37)$$

Uma vez calculada a impedância de base e os parâmetros em pu estipulados para os reatores de proteção e para os indutores da carga, obtém-se a indutância destes dois componentes para o projeto do DSCC. Portanto, de acordo com a equação 3.36 e os valores estipulados para a tensão e corrente RMS do sistema, calcula-se a impedância de base.

Com a impedância de base, pode-se calcular a reatância de proteção nominal do DSCC, por meio da equação (3.38).

$$X_{L_{Br}pu} = X_{L_{Br}}/Z_b \quad (3.38)$$

Para o dimensionamento da indutância e resistência da carga, similarmente ao cálculo da indutância de proteção, de acordo com (3.39) obtém-se, para a reatância indutiva da carga:

$$X_{L_{carga}pu} = X_{L_{carga}}/Z_b \quad (3.39)$$

Após o cálculo de $X_{L_{carga}}$, pode-se calcular a indutância da carga (L_{carga}) por meio da Equação 3.37, juntamente com a substituição de $X_{L_{carga}}$ por (3.39) e a frequência do lado AC (f) por 60Hz.

Para calcular a resistência da carga, basta analisar o triângulo de impedâncias. Os parâmetros θ e $X_{L_{carga}}$ já foram previamente calculados, portanto, utiliza-se a equação (3.40):

$$tg(\theta) = X_{L_{carga}}/R_{carga} \quad (3.40)$$

Uma vez estipulados os valores da indutância de proteção e da resistência da carga, pode-se calcular o valor dos capacitores dos submódulos do DSCC baseado na exigência de energética e angulação de potência da carga, como proposto por [97].

Portanto, mediante a análise gráfica apresentada na Figura 3.3 (b), obtém-se a capacitância dos submódulos levando-se em consideração o armazenamento de energia dos braços para diferentes valores de k_{max} e índice $m_a = 1$.

Uma vez que se utilizam 4 submódulos por braço, espera-se que a forma de onda da tensão de saída de cada fase seja de 9 níveis e a tensão de linha seja de 17 níveis.

A modelagem do sistema foi elaborada na plataforma Matlab/Simulink e, devido à sua extensão, o modelo completo de sua implementação encontra-se no Apêndice C.2. O controle é inicializado juntamente com o DSCC. Valores iniciais dos ganhos dos controladores foram retirados de trabalhos relacionados ou por meio de cálculos simplificados ([48],[55],[83]), sendo estes resultados refinados a partir de simulações variando-se os ganhos até a obtenção de respostas satisfatórias para o balanceamento dos capacitores. Com isto, buscou-se comprovar que é possível se obter o controle do DSCC a partir de um modelo de controle pré-definido sintonizável para quaisquer projetos.

A fim de tornar as simulações mais realistas, considerou-se as perdas resistivas nos braços do DSCC e a resistência equivalente em série dos capacitores, ou ESR (do inglês, *Equivalent Serie Resistance*), como 0,08 Ω e 0,06 Ω .

Na presente dissertação, com o objetivo de obter a melhor distribuição espectral possível em todas as simulações, foi utilizada a Amostragem Natural. Entretanto, para uma futura implementação física, recomenda-se o uso do processo de amostragem Regular Assimétrica[†].

A carga utilizada na saída do DSCC da presente dissertação apresenta uma elevada indutância para representar os enrolamentos de um estator de um motor de indução industrial.

Em todas as simulações, houve a cautela de se introduzir blocos de inserção de tempo morto (*Dead Time*) nos instantes em que ocorre a comutação complementar das chaves IGBT's superiores e inferiores dos submódulos Meia Ponte. Esta manobra é de extrema importância para evitar curtos

[†]As técnicas de modulação PWM via amostragem Regular Regular Assimétrica e Natural possuem a vantagem de não apresentarem os componentes harmônicos de banda lateral pares ao redor dos múltiplos pares e os harmônicos de banda lateral ímpares ao redor dos múltiplos ímpares do harmônico pertencente à portadora [63]. Entretanto, a amostragem natural, apesar de possuir uma simetria espectral superior à amostragem Regular Assimétrica, possui uma desvantagem dentre as demais técnicas de amostragem, que é a sua complexa implementação computacional, pelo fato da interseção entre a referência e fundamental ser definida por equações transcendentais de difícil solução. Portanto, para uma implementação em um processador digital de sinais, a opção mais indicada é a amostragem Regular Assimétrica.

circuitos nas células durante os intervalos de comutação. O tempo morto estipulado foi de 1,45 % do período de comutação de cada célula, quando $m_f = 81$.

Recapitulando o que foi estudado no Capítulo 2, e desconsiderando-se as perdas, sabe-se que a potência no lado CC é igual à potência do lado CA, ou seja:

$$P_{dc} = P_{ac} \quad (3.41)$$

Logo:

$$V_{dc}I_{dc} = 3V_{RMS}I_{RMS} \quad (3.42)$$

Como a corrente de circulação (Equação 2.10) é relacionada com a corrente I_{dc} , os valores da corrente circulante são proporcionais à corrente da saída. Deve-se lembrar que a esta aplicação é do tipo *standalone*. Portanto, o sistema de controle discutido nesta dissertação impõe tensão. Sendo assim, o que define a amplitude da corrente de saída, de maneira independente, é a impedância da carga. Dito isto, pode-se implementar o presente sistema para quaisquer aplicações isoladas alterando-se os parâmetros S e V para o projeto desejado e ajustando-se a resistência da carga para alterar a amplitude da corrente para que esta se adeque à corrente nominal, caso necessário. Por exemplo, para um projeto de um DSCC trifásico que possua 2 kW de potência aparente e tensão de linha estipulada de $380 V_{RMS}$, a corrente nominal do sistema (de acordo com a equação $S = VI\sqrt{3}$) deverá ser de $3,04 A_{RMS}$. Após isto, basta seguir o passo a passo descrito acima para o dimensionamento dos demais componentes em valores pu.

Além disso, deve-se estipular o número de células por braço e considerar como sinal de referência por fase os sinais $v_{a,b,c}^*$, limitados por $V_{dc}/2$, e a tensão de referência dos capacitores os submódulos como v_{dc}/N .

Como a tensão do barramento CC do projeto desta dissertação é V_{dc} e foram utilizados quatro submódulos por braço, estipulou-se a tensão de referência para os capacitores (v_C^*) como $V_{dc}/4$.

3.3 Método de Redistribuição de Energia Para a Compensação de Faltas

Para este sistema, inicialmente, deve-se estipular o número de células por braço, a tensão a ser fornecida no barramento CC e a tensão nominal de fase do conversor, conforme descrito na Seção 3.1, por meio de N , V_{dc} e $v_{a,b,c}^*$.

Para obtenção de uma onda senoidal de X Volts na saída, cada capacitor deverá possuir o valor de X/N volts. Deve-se inserir um sensor de corrente em cada submódulo, a fim de identificar faltas nestes componentes. Estas, por sua vez, formarão descontinuidades ou circuitos abertos nestes locais de falta.

A formação de um circuito aberto no lugar de um submódulo seria extremamente prejudicial para o DSCC, pois impossibilitaria a passagem de corrente pelos braços, encerrando imediatamente sua operação. Devido a isto, foram inseridas chaves *bypass* (S_{SM_j}) em paralelo com cada célula, conforme é mostrado na Figura 3.8. Como o sistema desenvolvido na presente dissertação é de média tensão, recomenda-se o uso de um tiristor de potência como chave de *by-pass* (considerando o cátodo apontado para cima na Figura 3.8, para evitar problemas no disparo do tiristor por dv/dt).

Está disponível no mercado uma larga variedade de tiristores de potência para aplicações como partida suave de motores e *bypass* de circuitos em sistemas de média e alta tensão. Dentre eles, pode-se citar os modelos de tiristores o SKKT 162/16E e SKKT 162/22E H4 da Semikron. Pode-se citar como modelos de IGBT's com diodos em antiparalelo para projetos em média e elevada tensão como FZ500R65KE3 e FZ800R45KL3B5 da Infineon.

Portanto, quando a chave de *bypass* S_{SM_j} é acionada, o submódulo danificado (em paralelo com S_{SM_j}) será ignorado durante a operação do DSCC, possibilitando assim sua remoção, substituição ou reparo (Figura 3.8). A chave S_F é responsável por simular uma falta de circuito aberto nos submódulos. Esta falta pode ser oriunda do rompimento de um cabo, destruição do capacitor ou defeito nos IGBT's das células.

Por medida protetiva, foi inserido no presente projeto de DSCC um resistor de escoamento ou “sangria” (R_{ES}) em paralelo com o capacitor de cada submódulo, para que não ocorra um acidente devido à descarga do capacitor quando o respectivo submódulo for isolado do sistema e o operador for retirá-lo. Portanto, o resistor de escoamento é incorporado no circuito do submódulo imediatamente após o mesmo ter sido isolado do sistema, devido à identificação de falta.

Sendo assim, R_{ES} encontra-se em paralelo com o capacitor do submódulo e em série com uma chave normalmente aberta, denominada S_{Prot} . A chave S_F , por sua vez, possui lógica de operação complementar à chave de *bypass* S_{SM_j} . Para minimizar um desgaste devido à longos períodos de ativação dos tiristores de *bypass*, pode-se inserir chaves eletromecânicas (contatores) em paralelo com os mesmos ativando-as 3 segundos após o início do *bypass*. Esta estratégia prolonga a vida útil dos tiristores e é bastante utilizada em técnicas de partida suave.

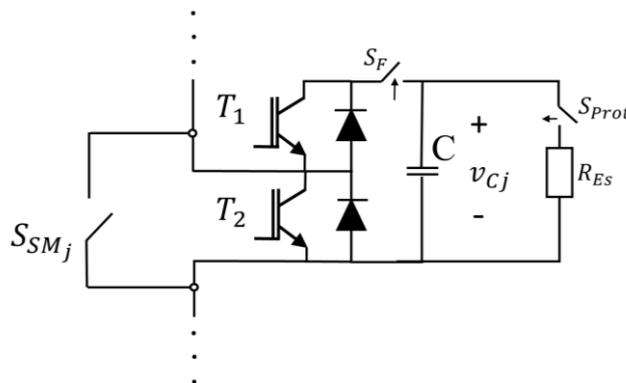


Figura 3.8: Inserção da chave de *bypass* S_{SM_j} em paralelo com cada submódulo do DSCC.

Na presente dissertação, foi elaborado um controle que identifica a localização e a quantidade de células danificadas por braço por meio da interrupção da corrente de entrada dos submódulos. Além disso, foi possível identificar a localização da célula defeituosa através da ponderação de cada sinal de identificação de falta, fornecidos pelos sensores dispostos em cada célula, mediante a disposição dos bits mais e menos significativos do sistema binário, juntamente com a sua representação no sistema decimal.

Por exemplo: dada a Figura 3.1 e considerando o sinal de identificação de falta como $1 V$, o sinal proveniente de uma falta na célula 1 será ponderado com $1 mV$. Para uma falta na célula 2, o “peso” aplicado será de $2 mV$. Já o sinal referente às faltas simultâneas nas células 1 e 2 será de $3 mV$ e assim por diante.

Para o DSCC em questão, o “bit” menos significativo encontra-se na primeira célula do braço superior e o mais significativo na última célula do braço inferior. Desse modo, é possível identificar a localização da célula danificada, bem como a quantidade de faltas por fase, criando-se assim uma base de regras pré-definidas.

A tabela 3.1 mostra a base de regras e a o princípio de operação do sistema de identificação de faltas para as primeiras dezesseis condições de falta.

Tabela 3.1: Sistema de identificação de submódulos danificados.

Condição	(Sistema Binário)								Saída (Sistema Decimal)	Identificação
	(MSB) Braço Inferior				(LSB) Braço Superior					
n°	SM8	SM7	SM6	SM5	SM4	SM3	SM2	SM1		
0	0	0	0	0	0	0	0	0	0 mV	Nenhuma célula danificada
1	0	0	0	0	0	0	0	1	1 mV	Falta no SM1
2	0	0	0	0	0	0	1	0	2 mV	Falta no SM2
3	0	0	0	0	0	0	1	1	3 mV	Falta no SM1 e SM2
4	0	0	0	0	0	1	0	0	4 mV	Falta no SM3
5	0	0	0	0	0	1	0	1	5 mV	Falta no SM1 e SM3
6	0	0	0	0	0	1	1	0	6 mV	Falta no SM2 e SM3
7	0	0	0	0	0	1	1	1	7 mV	Falta no SM1, SM2 e SM3
8	0	0	0	0	1	0	0	0	8 mV	Falta no SM4
9	0	0	0	0	1	0	0	1	9 mV	Falta no SM1 e SM4
10	0	0	0	0	1	0	1	0	10 mV	Falta no SM2 e SM4
11	0	0	0	0	1	0	1	1	11 mV	Falta no SM1, SM2 e SM4
12	0	0	0	0	1	1	0	0	12 mV	Falta no SM3 e SM4
13	0	0	0	0	1	1	0	1	13 mV	Falta no SM1, SM3 e SM4
14	0	0	0	0	1	1	1	0	14 mV	Falta no SM2, SM3 e SM4
15	0	0	0	0	1	1	1	1	15 mV	Braço superior comprometido
16	0	0	0	1	0	0	0	0	16 mV	Falta no SM5

O sistema proposto identifica a condição de operação do DSCC e, de acordo com a base de regras estipulada para cada situação, o controle define as ações (reajustar os ganhos, alterar v^* , encerrar o sistema, etc). Portanto, o sistema se reprograma conforme o número de células danificadas, ajustando a média de tensão dos capacitores no controle da média e do balanceamento. Visa-se, assim, a compensação de faltas dos capacitores inutilizados por aqueles que ainda estão em funcionamento. Isto é possível graças a utilização de um controle e monitoramento adequado, além do correto dimensionamento dos capacitores dos submódulos para maior capacidade de armazenamento de energia.

Como do DSCC proposto possui quatro submódulos por braço, foram dimensionados capacitores com até o quádruplo de capacidade de armazenamento de energia estipulado no projeto deste capítulo para que, nos momentos em que as faltas ocorrerem, sejam obtidos níveis de tensão mais elevados pelos capacitores restantes, visando-se assim suprir a falta dos demais.

No entanto, por mais completa e eficaz que seja a técnica de controle aplicada, não seria possível contrabalancear faltas de células danificadas com capacitores projetados com a mínima energia e tensão necessária para o seu funcionamento. Além disso, o uso de um sinal de referência superior ao projetado para um sistema com mínima capacitância forçaria os capacitores resilientes a armazenar mais energia do que suportam, sendo assim destruídos.

Outra maneira de não interromper o funcionamento e operação do DSCC meio a faltas nos submódulos, sem a necessidade de se elevar a tensão sobre os capacitores das células restantes, é alterar a tensão de referência v^* de todas as fases para os valores máximos alcançáveis (correspondentes à tensão máxima proveniente da soma dos capacitores restantes), à medida em que as células estiverem sendo inutilizadas. Desse modo, o sistema continuaria operando com a tensão nominal em cada submódulo, porém, com a amplitude da corrente e tensão de saída menor.

O limite suportável de redução da tensão de alimentação da carga por fase dependerá da aplicação utilizada, mas uma possível redução da tensão de saída do inversor em casos de emergência será sempre uma melhor opção do que desligar inesperadamente o sistema, encerrando sua operação.

Algumas cargas centrífugas conseguem funcionar plenamente meio à redução do limite de potência. Porém, reduz-se também a velocidade à proporção que se diminui a tensão e corrente de saída do DSCC [117]. Além disso, a estratégia proposta nesta dissertação oferece a oportunidade de se retirar as células defeituosas e substituí-las por novas células enquanto o sistema opera no “modo de emergência”. Portanto, a proposta para controle do DSCC mediante faltas seguirá a base de regras expressa na Figura 3.16.

A Figura 3.9 ilustra a operação do DSCC com o sistema de identificação e correção de faltas. A todo momento ocorre a sondagem da tensão sobre os capacitores dos submódulos e a coleta da corrente que flui pelas células. Portanto, caso alguma célula seja retirada ou reinserida, o sistema identificará.

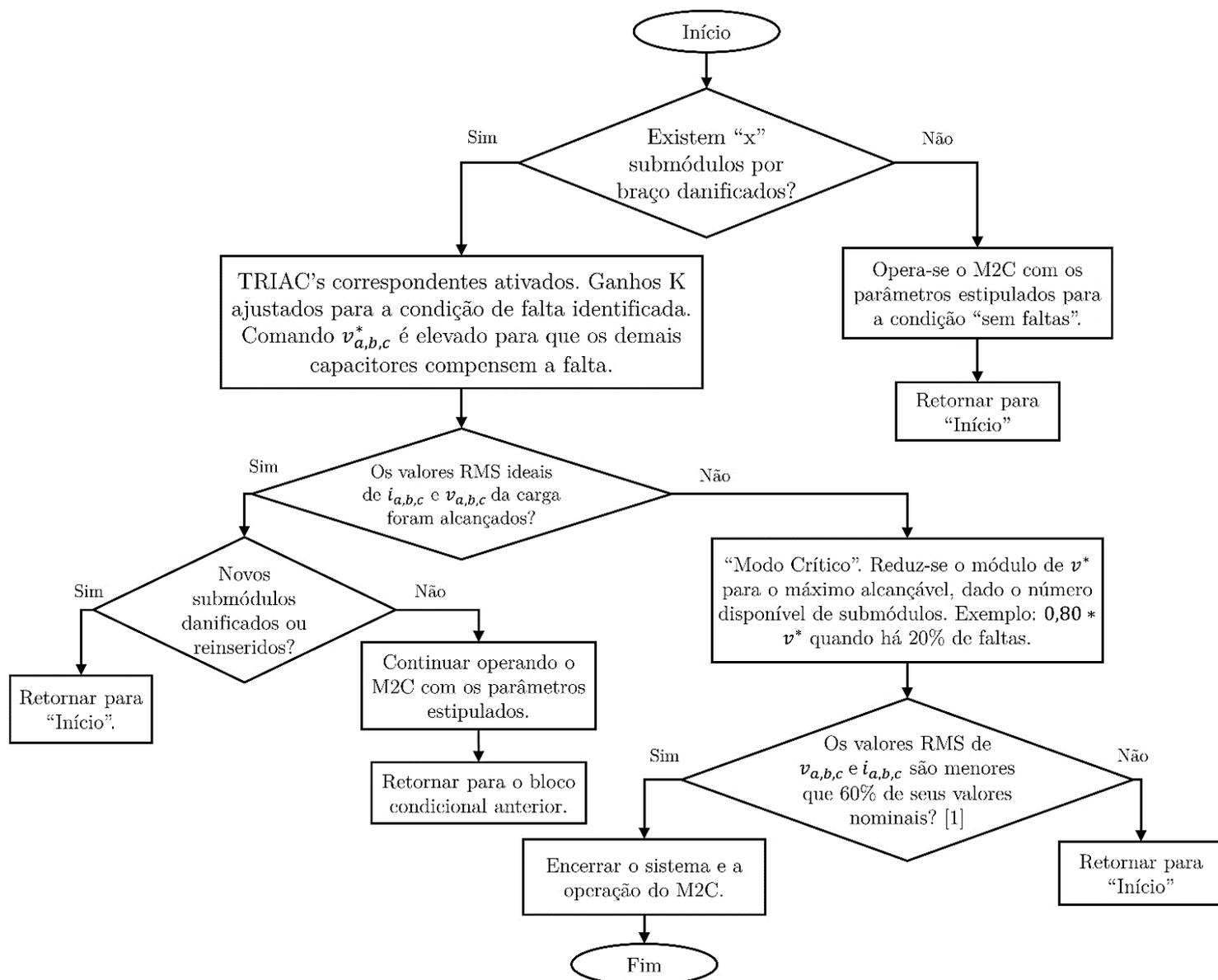


Figura 3.9: Base de regras para controle do DSCC mediante faltas nos submódulos.

Uma falta será identificada quando a formação de um circuito aberto em qualquer um dos submódulos for percebida, ou seja, a ausência da passagem de corrente por qualquer um dos dois terminais de saída da Célula Meia Ponte.

Assim sendo, sensores de corrente foram inseridos em todos os submódulos, e, mediante a coleta contínua de tensão dos capacitores, tensão de saída e corrente da carga, o comportamento do DSCC mediante a estratégia de compensação proposta foi observado.

Para verificação da eficácia do sistema de compensação proposto, foi observado o comportamento do DSCC frente à inserção gradual de faltas (25%, 50% e 75% do total de submódulos) nos dois braços e em apenas um braço por fase. Em seguida, foi analisado o comportamento do DSCC numa situação de faltas assimétricas (inserção gradual de faltas em somente uma fase). Em todas as simulações, o sistema é inicializado considerando a integridade plena do DSCC.

Durante o tempo de controle, é verificado se a tensão e corrente nominal da carga são alcançadas e, caso contrário, aplica-se a segunda estratégia, na qual a referência da tensão de saída do sistema é alterada para um valor superior ao estipulado inicialmente. Isto, indiretamente, força os submódulos restantes a compensar a ausência dos que foram isolados. Por exemplo, se uma célula do braço de um DSCC (com 4 células por braço e tensão de fase nominal como 10 kV) estivesse danificada, seria exigido por parte do sistema uma tensão de 3,333 kV de cada um dos 3 submódulos restantes deste braço, ao invés dos 2,5 kV, antes requisitados em condições plenas de operação.

O sistema do DSCC completo com o bloco de identificação e correção de faltas está apresentado no Apêndice C.3 e foi elaborado de acordo com os parâmetros expostos no Capítulo 4, simulando um sistema de 24 células, sendo 4 submódulos por braço.

A Figura 3.10 ilustra um dos braços do DSCC após a inserção do sistema de identificação e *bypass* de submódulos danificados para a identificação de circuitos abertos por meio de sensores de corrente (preferencialmente, não invasivos) em diferentes terminais da célula Meia Ponte (terminais de entrada e selo capacitivo do submódulo), conforme a Figura 3.9.

Para a identificação das faltas no sistema proposto, foram necessários 10 ms. Isto pode ser verificado na parcela direita da Figura 3.10 pelo fato de ter sido inserida uma falta no instante 0,2 s em um dos terminais e no instante 0,21 s o sistema de isolamento foi acionado.

A identificação de falta ocorre quando o valor RMS da corrente do capacitor, ou dos terminais de entrada da célula, é menor ou igual a 6 % do seu valor nominal.

Uma lógica OR foi aplicada na etapa final do sistema de identificação para que a ocorrência de falta em qualquer um dos terminais sondados inicie o sistema de isolamento. Este sistema de identificação de faltas suporta, paralelamente, o acréscimo de outras técnicas dispostas na literatura (como [103-115]) para elevar a eficácia do sistema.

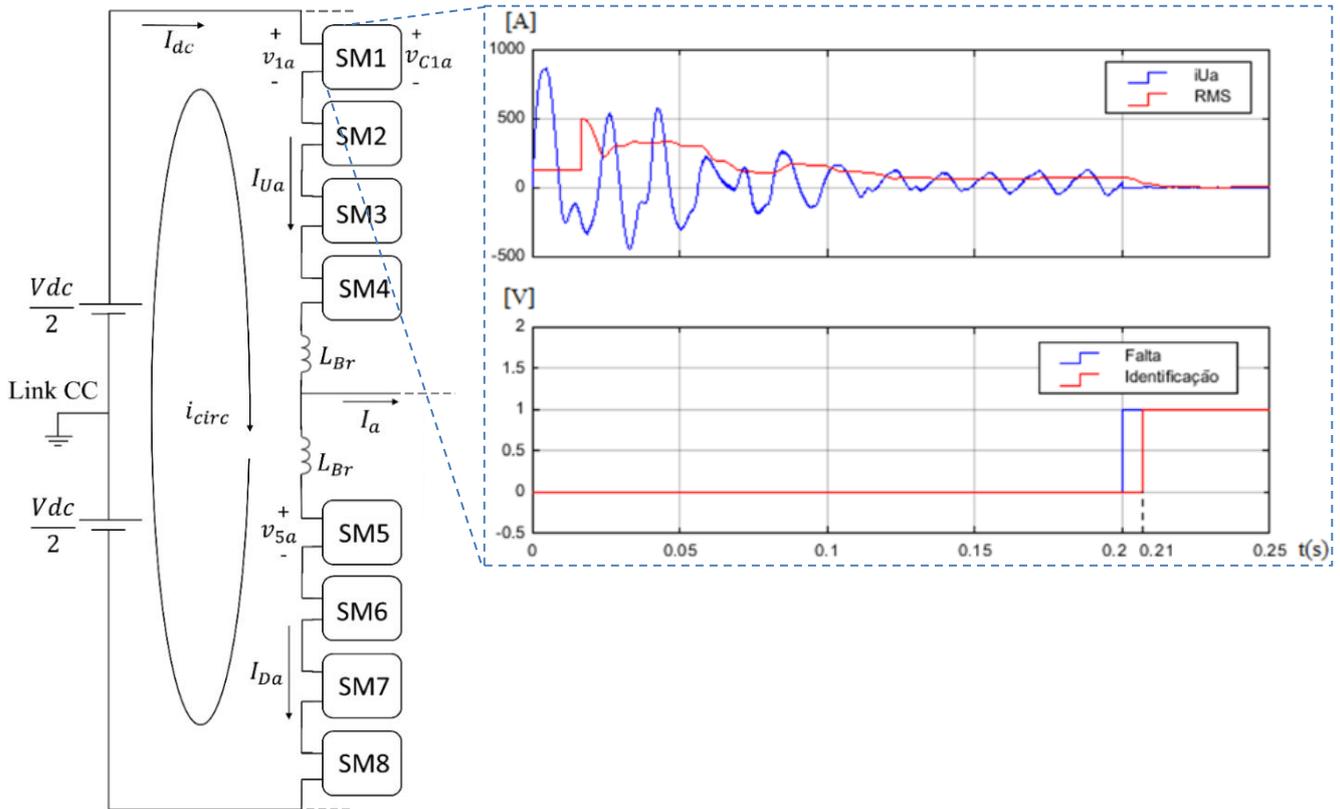


Figura 3.10: Tempo de resposta e isolamento do primeiro submódulo da fase *a* do DSCC ao ocorrer falta no instante 0,2 s.

A Figura 3.11 mostra a inserção dos blocos condicionais para ponderação dos sinais de falta e modificação da referência de tensão dos capacitores, mediante faltas dos submódulos.

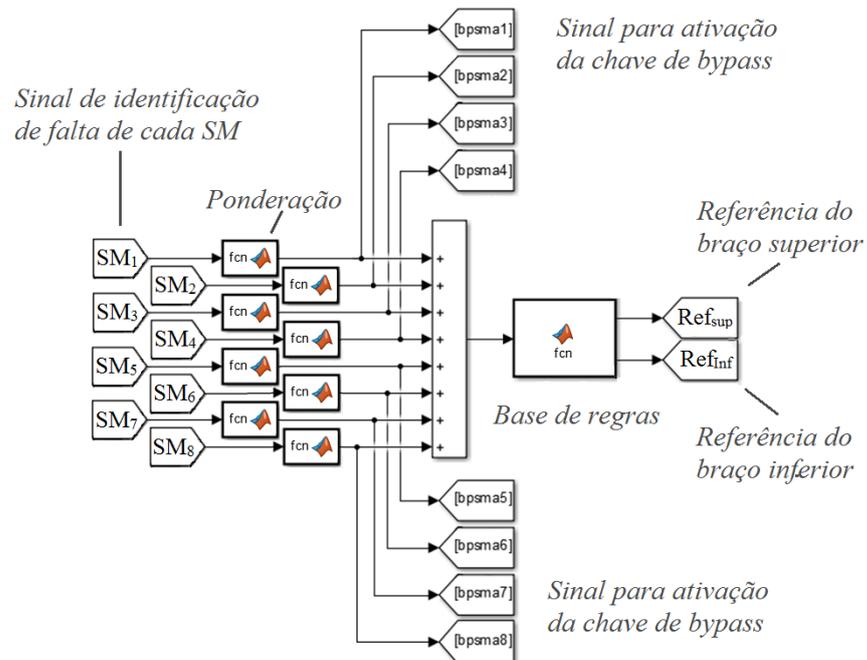


Figura 3.11: Bloco encarregado da identificação e quantificação dos submódulos defeituosos. Este bloco é responsável também pela tomada de decisões para alteração da tensão de referência para um valor predefinido.

Para a simulação do DSCC sob faltas, foram implementadas situações em que surgiam, crescentemente, faltas nos submódulos durante sua operação em regime permanente.

Sendo assim, gradativamente, foram inseridas faltas em uma, duas e três células por braço nos instantes 0,1 s, 0,2 s e 0,3 s. Após isso, no instante 0,45 s, todas as células anteriormente isoladas foram reinseridas no sistema, caracterizando assim uma situação na qual os operadores repararam e reintroduziram no sistema os submódulos isolados, sem encerrar a operação do DSCC.

Os ganhos utilizados na condição plena DSCC foram reutilizados para esta condição de faltas gradativas, com ajustes a fim de se obter os melhores resultados nas formas de onda das tensões e correntes de saída do DSCC. Estes ganhos podem ser vistos no Capítulo 4.

3.4 Método de Deslocamento de Neutro Para a Compensação de Faltas

Desenvolvida por [118] em 2001 e proposta para o conversor Cascata, a técnica de deslocamento de neutro tem como objetivo minimizar os prejuízos acarretados pela falta de submódulos através da alteração gradual da defasagem entre os terminais do conversor nos quais não houve falta.

Portanto, a técnica de deslocamento de neutro tem efeito apenas em conversores trifásicos e necessita de uma estratégia de identificação de faltas para o isolamento da célula danificada.

Uma explicação ilustrativa da aplicação da técnica de deslocamento de neutro, juntamente com outras estratégias de correção de faltas para o conversor Cascata, está apresentada na Figura 3.12.

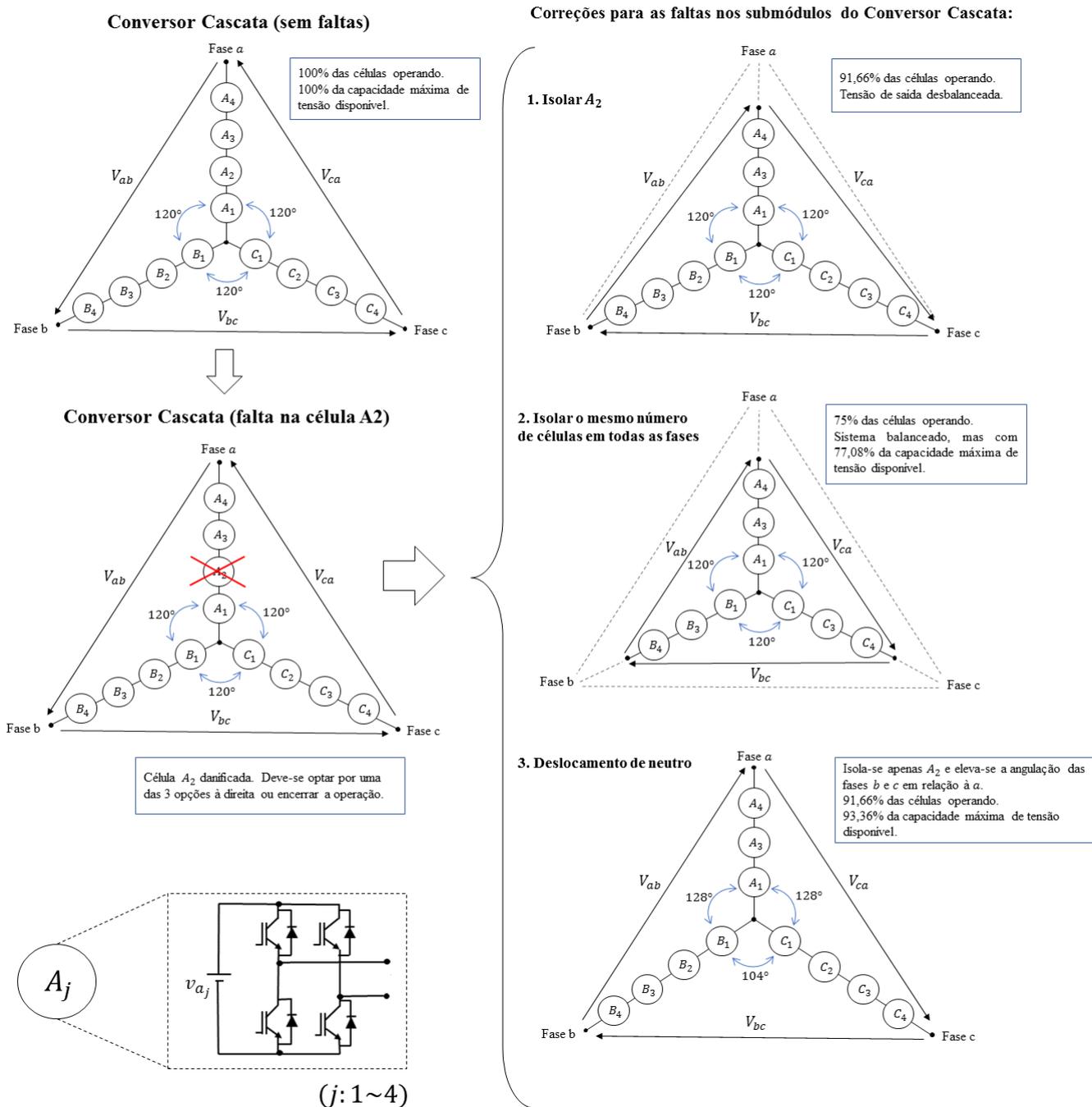


Figura 3.12: Soluções possíveis para correção de falta nos submódulos do conversor Cascata.

Uma característica importante da técnica de deslocamento de neutro, observada na Figura 3.12, é que à medida em que se eleva o número de faltas na fase a , altera-se a defasagem entre b e c . Isto, por sua vez, desloca ainda mais o neutro do circuito. Este mecanismo tem a função de compensar a alteração do módulo das tensões de linha, arestas do triângulo equilátero da representação da Figura 3.13.

O ângulo adequado para aplicar o deslocamento de neutro do conversor cascata pode ser obtido por meio de relações trigonométricas ou, mais especificamente, Lei dos cossenos. Considerando cada submódulo como uma parcela do comprimento da reta disposta a partir do centro de simetria do triângulo equilátero, correspondente ao diagrama do conversor, obtém-se a relação apresentada na Figura 3.13. Esta relação é peça fundamental para a modelagem matemática e cálculo do ângulo ideal para a inserção da técnica de deslocamento de neutro. Esta modelagem matemática para o cálculo do ângulo ideal para

a inserção da técnica de deslocamento de neutro foi proposta em 2019 no trabalho [126]‡ para conversores Cascata, considerando um índice de modulação unitário. A Figura 3.13 mostra um exemplo da modelagem do ângulo de defasagem α para um inversor cascata de 9 níveis.

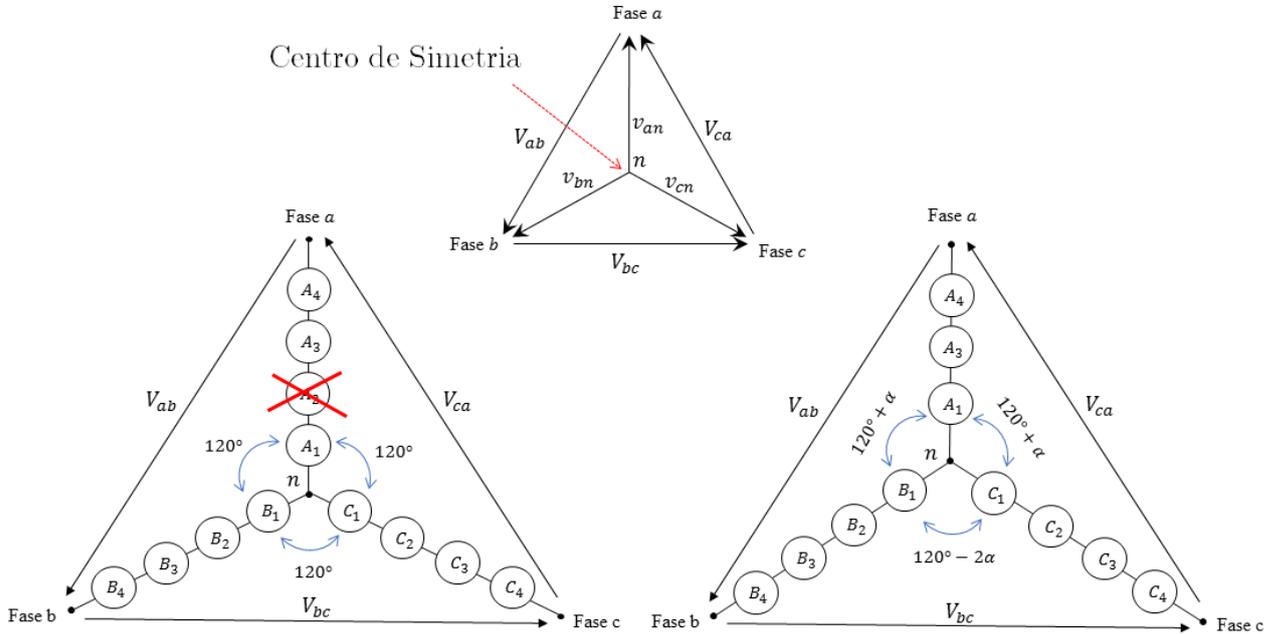


Figura 3.13: Diagrama de um inversor cascata de 4 submódulos (9 níveis) com inserção de falta em 1 célula, juntamente com o surgimento do ângulo de defasagem α .

Portanto, para o cálculo do ângulo de defasagem α de um conversor cascata sob ação de faltas, utiliza-se a relação:

$$(V_{ab})^2 = (V_{bc})^2 \quad (3.43)$$

Substituindo as arestas V_{ab} e V_{bc} , tem-se:

$$[(v_{an})^2 + (v_{bn})^2 - 2(v_{an})(v_{bn})\cos(120 + \alpha)]^2 = [(v_{bn})^2 + (v_{cn})^2 - 2(v_{bn})(v_{cn})\cos(120 - 2\alpha)]^2 \quad (3.44)$$

Para a equação (3.44), considerando v_{an} , v_{bn} e v_{cn} como 1 pu numa situação de operação plena do conversor, à medida que as faltas ocorrem no conversor, a amplitude de 1 pu se torna 0,75, 0,50 e 0,25 pu nas condições em que ocorrem 1, 2 e 3 faltas, respectivamente. Desse modo, a única variável na equação (3.44) torna-se α , fazendo desta equação um sistema determinado.

Portanto, considerando a equação (3.45), após a inserção de 1 falta na fase *a* do conversor cascata, o equacionamento para calcular α será:

$$2 \cos(120 - 2\alpha) - 1,5 \cos(120 - \alpha) = 0,4375 \quad (3.45)$$

Com a inserção de 2 faltas, obtém-se:

$$2 \cos(120 - 2\alpha) - \cos(120 - \alpha) = 0,75 \quad (3.46)$$

Para a inserção de 3 faltas, calcula-se α conforme:

‡ O trabalho [126] foi desenvolvido por membros do mesmo grupo de pesquisa do autor da presente dissertação.

$$2 \cos(120 - 2\alpha) - 0,5 \cos(120 - \alpha) = 0,9375 \quad (3.47)$$

A Tabela 3.2 apresenta a angulação para cada condição de falta do conversor cascata, gerada a partir da resolução das equações apresentadas em (3.45) à (3.47).

Tabela 3.2: Valores de α para diferentes condições de faltas no conversor cascata.

	1 Falta	2 Faltas	3 Faltas
α	8°	15,5°	22,8°

A última etapa da presente dissertação teve como objetivo investigar se o DSCC é adaptável à técnica de deslocamento de neutro, discutida acima, por apresentar estrutura física (disposição em Dupla Estrela) muito similar ao conversor cascata (disposição em Estrela).

As principais diferenças na aplicação da técnica de deslocamento de neutro na topologia DSCC em vez da Cascata estão no cálculo do ângulo e na complexidade do controle. Para o mesmo número de faltas, o ângulo α tende a ser duas vezes menor no DSCC do que no conversor cascata, por apresentar o dobro de submódulos.

Além disso, é mais prático utilizar a técnica de deslocamento de neutro no DSCC associada um controle em malha aberta. Dessa maneira, a exigência de tensão e corrente de saída total não são divididas entre todas as células, propiciando, por sua vez, a elevação da tensão sobre os submódulos que não foram isolados automaticamente.

O resultado da simulação desta última etapa da dissertação (aplicação da técnica de deslocamento de neutro no DSCC) está mostrado na Seção 4.4.

3.5 Conclusões Parciais

No presente capítulo foi abordado o projeto e controle do conversor DSCC em condições plenas e sob a ação de faltas nos submódulos, abordando-se diferentes técnicas de compensação de faltas e suas implicações.

Ademais, foi descrito o sistema de identificação e quantificação de faltas aqui desenvolvido. Este sistema se baseou numa analogia entre a disposição das células no DSCC com os números do sistema binário e está descrito na Tabela 3.1.

As discussões desenvolvidas nesta seção foram cruciais para escolha de diversos parâmetros de projeto para o conversor DSCC proposto, como uma modelagem de um sistema que controle a corrente circulante e um modelo de dimensionamento e controle fundamentado nos requisitos energéticos de armazenamento ideais para os capacitores do conversor.

Por fim, foram discutidas as adaptações e exigências necessárias para a aplicação das técnicas de compensação de faltas por redistribuição de energia e deslocamento de neutro para o DSCC. Esta técnica só pode ser aplicada caso ocorram faltas em apenas uma fase do conversor.

Capítulo 4

4 Resultados e Discussões

No presente Capítulo é mostrado o dimensionamento do sistema e são discutidos os resultados de simulação de todas as condições impostas ao DSCC.

Inicialmente, são analisados os resultados referentes ao controle e balanceamento do DSCC sem a inserção de faltas nos submódulos. Em seguida, analisa-se o comportamento do DSCC quando se utiliza o controle proposto sob a condição de faltas simétricas e assimétricas, analisando-se também o desempenho do conversor quando ocorre a reposição dos submódulos. Após esta simulação, é analisado o comportamento do DSCC quando se utiliza a técnica de deslocamento de neutro para compensar faltas nos submódulos de uma fase do conversor.

Por fim, são discutidas e avaliadas as principais propostas para minimização dos prejuízos decorrentes de faltas nos submódulos do DSCC, frisando a vantagens e desvantagens de cada uma.

4.1 Controle de Balanceamento das Tensões nas Células e da Corrente de Circulação e Dimensionamento do DSCC

Na presente dissertação, por mérito de comparação com o projeto de criação da técnica de controle via modulação PI utilizada, foi estipulado um sistema com a potência ativa de 1 MW com tensão nominal de linha RMS (V) de 5,5 kV e uma corrente nominal RMS (I) de 105 A para utilizar o controle proposto mediante à mínima exigência energética dos capacitores.

No presente projeto, foi focada a aplicação de um DSCC para o abastecimento de uma carga trifásica RL com fator de potência 0,9 sob a frequência de 60 Hz. Os resistores, indutores da carga e os capacitores dos submódulos foram dimensionados baseados nestes parâmetros,

Os valores da reatância indutiva dos reatores de proteção e da carga foram preestabelecidos em valores pu, como discutido no subtópico 2.2. Estipulou-se 0,1 pu (10%) e 0,062 pu (6,2%) para a reatância indutiva dos reatores de proteção e da carga, respectivamente.

Uma vez que a potência estipulada do inversor é de 1 MW, a sua potência aparente de base é $S = 1 \text{ MVA}$. Após estipular a potência aparente e o fator de potência da carga do sistema, é calculado o ângulo de potência da carga. O ângulo de potência da carga obtido foi, aproximadamente, $25,84^\circ$. Ou seja, de acordo com a equação 3.34:

$$\theta = \arccos(0,9) = 25,84^\circ \quad (4.1)$$

Uma vez calculada a impedância de base e os parâmetros em pu estipulados para os reatores de proteção e para os indutores da carga, obtém-se a indutância destes dois componentes para o projeto do DSCC. Portanto, de acordo com a equação 3.35 e os valores estipulados para a tensão e corrente RMS do sistema, calcula-se a impedância de base:

$$Z_b = (5,5 * 10^3)^2 / (1 * 10^6) = 30,25 \Omega \quad (4.2)$$

Com a impedância de base, pode-se calcular a reatância de proteção nominal do DSCC, portanto, substituindo $X_{L_{Br_{pu}}}$ e Z_b por 0,1 Ω e 30,25 Ω na equação 3.38, obtém-se:

$$X_{L_{Br}} = X_{L_{Br_{pu}}} * Z_b = 3,025 \Omega \quad (4.3)$$

Calcula-se a indutância de proteção (L_{Br}) através da Equação 3.38 com a substituição de $X_{L_{Br}}$ por (4.3) e f por 60Hz. Portanto, obtém-se:

$$3,025 = 2\pi(60)L_{Br} \quad (4.4)$$

$$L_{Br} = 8,02 \text{ mH} \quad (4.5)$$

Uma vez estipulado 0,062pu para a reatância indutiva da carga do DSCC, é possível iniciar o dimensionamento da indutância e resistência da carga.

Substituindo $X_{L_{carga_{pu}}}$ e Z_b por 0,062 e 30,25 na equação 3.38, obtém-se a reatância indutiva da carga:

$$X_{L_{carga}} = 0,062 * 30,25 = 1,876 \Omega \quad (4.6)$$

Após o cálculo de $X_{L_{carga}}$, pode-se calcular a indutância da carga (L_{carga}) por meio da Equação 3.38, juntamente com a substituição de $X_{L_{carga}}$ por (3.37) e a frequência do lado AC (f) por 60Hz. Portanto, obtém-se:

$$1,876 = 2\pi(60)L_{carga} \quad (4.7)$$

$$L_{carga} = 5 \text{ mH} \quad (4.8)$$

Para calcular a resistência da carga, basta analisar o triângulo de impedâncias. Os parâmetros θ e $X_{L_{carga}}$ já foram previamente calculados.

Assim, substituindo $X_{L_{carga}}$ e θ na equação (3.40) obtém-se a resistência da carga, dado como:

$$\text{tg}(25,84^\circ) = 1,876/R_{carga} \quad (4.9)$$

$$R_{carga} = 3,874 \Omega \quad (4.10)$$

Uma vez estipulados os valores da indutância de proteção e da resistência da carga, pode-se calcular o valor dos capacitores dos submódulos do DSCC baseado na exigência de energética e angulação de potência da carga, como proposto por [97].

Portanto, mediante a análise gráfica apresentada na Figura 3.3 (b), obtém-se a capacitância dos submódulos levando-se em consideração o armazenamento de energia dos braços para diferentes valores de k_{max} e índice $m_a = 1$.

Analisando a Figura 3.3 (b) nota-se que, para o k_{max} estipulado ($k_{max} = 1,05$), a capacidade de energia nominal necessária nos capacitores para uma angulação de carga de $25,84^\circ$ é de $33,3 \text{ kJ/MVA}$, ou $33,3 \text{ ms}$. Logo, $H = 33,3 \text{ ms}$, o que comprova que a aplicação dos conceitos descritos pelo método desenvolvido por [97] descarta a necessidade do uso da equação 3.8 para o cálculo de H ou da capacitância dos submódulos.

Portanto, em termos de kJ por MVA , para transferir os 1MVA , estipulados no sistema, é necessária uma energia total de $33,33 \text{ kJ}$ o que, por sua vez, corresponde a $5,55 \text{ kJ}$ por braço do DSCC. Portanto, $E_{nom} = 5,55 \text{ kJ}$.

Como foi estabelecido para o DSCC do presente projeto uma tensão de linha de $5,5 \text{ kV}$, a tensão de fase (v_{an}) em valores RMS e de pico serão, respectivamente, $3,175 \text{ kV}$ e $4,5 \text{ kV}$. A tensão de pico a pico de v_{an} , por sua vez, será de 9 kV . Logo, a tensão disponível no barramento CC (V_{dc}) deve ser de 9 kV .

Uma vez estipulados $E_{nom} = 5,55 \text{ kJ}$, $N = 4$ e $V_{dc} = 9 \text{ kV}$, pode-se, através da Equação 3.21, calcular a capacitância ideal para o DSCC em questão. Portanto:

$$C = [(2) * (4) * (5,55) * (10^3)] / [(9^2) * (10^6)] = 0,55 \text{ mF} \quad (4.11)$$

A Tabela 4.1 mostra os parâmetros de simulação do sistema proposto, conforme o dimensionamento descrito acima.

Tabela 4.1: Parâmetros para a simulação do DSCC proposto.

Parâmetros do Circuito		Parâmetros do Controle	
S	1 MVA	K_1	0.5
V_{RMS}	5,5 kV	K_2	100
V_{dc}	9 kV	K_3	1.7
f	60 Hz	K_4	200
m_f	81	K_5	0,001
f_c	$f \cdot m_f = 4,86 \text{ kHz}$	$v_{a,b,c}^*$	4,5 kV (3,175 kV RMS)
f_{eq}	$8 \cdot f_c = 38,88 \text{ kHz}$	v_c^*	$V_{dc}/4 = 2,25 \text{ kV}$
L_{Br}	8 mH (0,1 pu)	Parâmetros da Carga	
C	0,55 mF (0,16 pu)		
H	33 ms	R_{carga}	3,874 Ω
N	4	L_{carga}	5 mH (0,062 pu)
$Dead\ time$	3 μ s		

Na Tabela 4.1 é possível analisar também os parâmetros do circuito, do controle e da carga do sistema do DSCC para média tensão. Baseado na modelagem do controle utilizado, espera-se que, independente da resistência de carga a ser utilizada, a tensão nominal de fase e de linha sejam regidas pela tensão de referência estipulada para as fases a, b ou c , dada por $v_{a,b,c}^*$, e limitadas pela tensão fornecida pelo barramento CC.

Recapitulando o que foi estudado no Capítulo 2, e desconsiderando-se as perdas, sabe-se que a potência no lado CC é igual à potência do lado CA, ou seja:

$$P_{dc} = P_{ac} \quad (4.12)$$

Logo:

$$V_{dc} I_{dc} = 3 V_{RMS} I_{RMS} \quad (4.13)$$

Como a corrente de circulação (Equação 2.10) é relacionada com a corrente I_{dc} , os valores da corrente circulante são proporcionais à corrente da saída. Deve-se lembrar que a esta aplicação é do tipo *standalone*. Portanto, o sistema de controle discutido nesta dissertação impõe tensão. Sendo assim, o que define a amplitude da corrente de saída, de maneira independente, é a impedância da carga. Dito isto, pode-se implementar o presente sistema para quaisquer aplicações isoladas alterando-se os parâmetros S e V para o projeto desejado e ajustando-se a resistência da carga para alterar a amplitude da corrente para que esta se adeque à corrente nominal, caso necessário. Por exemplo, para um projeto de um DSCC trifásico que possua 2 kW de potência aparente e tensão de linha estipulada de 380 V_{RMS} ,

a corrente nominal do sistema (de acordo com a equação $S = VI\sqrt{3}$) deverá ser de $3,04 A_{RMS}$. Após isto, basta seguir o passo a passo descrito acima para o dimensionamento dos demais componentes em valores pu.

Além disso, deve-se estipular o número de células por braço e considerar como sinal de referência por fase os sinais $v_{a,b,c}^*$, limitados por $V_{dc}/2$, e a tensão de referência dos capacitores os submódulos como v_{dc}/N .

Como a tensão do barramento CC do projeto desta dissertação é 9 kV e foram utilizados quatro submódulos por braço, estipulou-se a tensão de referência para os capacitores (v_C^*) como $V_{dc}/4$, ou 2,25 kV.

A estrutura do sistema proposto está apresentada na Figura 3.1 e os blocos de simulação podem ser analisados no Apêndice C. Os resultados de simulação para o DSCC projetado utilizando os parâmetros Tabela 4.1 estão mostrados a seguir.

Pode-se analisar na Figura 4.1 (a) e (b), respectivamente, as tensões de fase e linha do DSCC de 24 células projetado baseado nos parâmetros da Tabela 4.1. Na Figura 4.1, pode-se analisar a corrente da carga em (c), a corrente de circulação juntamente com o sinal de controle em (d), a potência do sistema em (e) e as correntes dos braços inferior e superior juntamente com a corrente de circulação e a corrente da carga em (f). Nesta simulação inicial, pode-se notar que a amplitude da corrente da carga não segue o valor nominal (150 A). Esta simulação inicial é importante para comprovar a necessidade do ajuste da corrente de carga do DSCC para que a mesma se adeque ao projeto, comprovando que o sistema proposto impõe tensão e não impõe corrente.

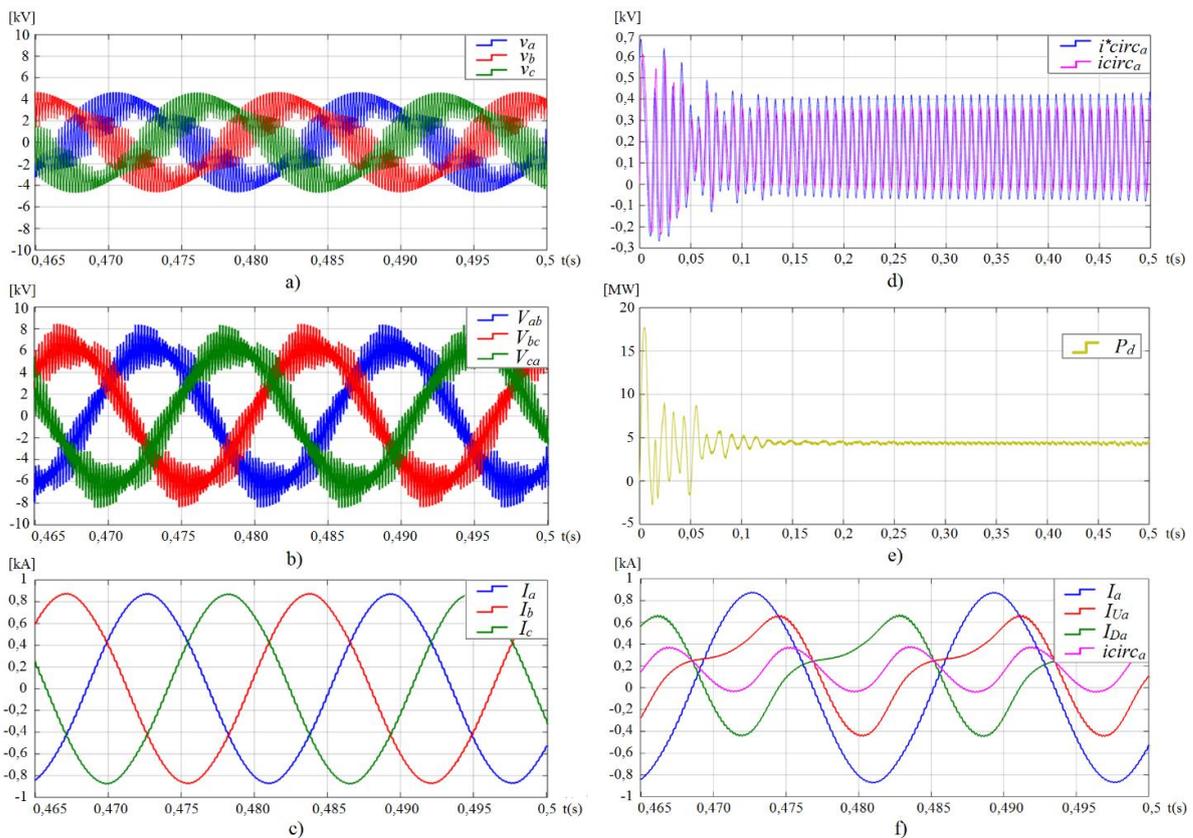


Figura 4.1: Simulação de DSCC de 4 células por braço, com os parâmetros da Tabela 4.1 (a) Tensões de fase $v_{a,b,c}$; (b) tensões de linha v_{ab}, v_{bc}, v_{ca} ; (c) correntes da carga $I_{a,b,c}$; (d) controle da média e da corrente de circulação para a fase a ; (e) potência do sistema P_d ; (f) I_{circ} , correntes da carga e correntes do braço superior e inferior da fase a .

A Figura 4.1 (a) mostra as tensões de fase v_a , v_b e v_c , que possuem amplitude de 4,5 kV (como estipulado por meio das variações de $v_{a,b,c}^*$). Em seguida, a Figura 4.1 (b) apresenta as tensões de linha, que correspondem a um sinal de 17 níveis com amplitude 7,78 kV ($5,5 \text{ kV} * \sqrt{2}$). A Figura 4.1 (c), mostra a corrente da carga com baixa distorção harmônica, com amplitude de 850A devido à utilização de baixa resistência de carga e elevada potência estipulada para o sistema. No item (d), pode-se analisar os sinais correspondentes à corrente de circulação (i_{Circ}) e ao sinal de referência da corrente de circulação (i_{Circ}^*).

Na Figura 4.2, a fim de se avaliar o controle e comportamento da onda de referência sobre o sistema, o sinal de referência v_a^* , que possui valor nominal de 4,5 kV, foi modificado para valores com amplitude de 25% (1125 kV), 50% (2250 kV) e 75% (3375 kV) do seu valor original nos instantes 0,15 s, 0,20 s e 0,25 s, respectivamente.

Na Figura 4.2, observa-se que o controle do sistema foi obtido a partir dos 50ms, devido à simetria na forma de onda das correntes da carga.

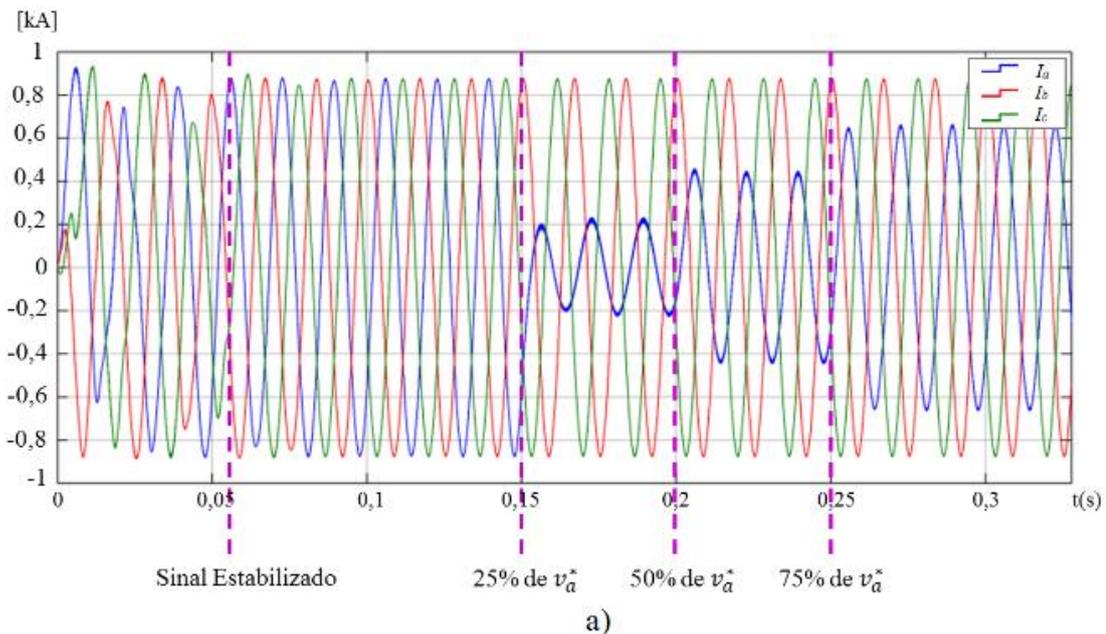


Figura 4.2: Controle do DSCC: (a) Comportamento da corrente de carga I_a mediante a variação do sinal de referência v_a^* .

Analisando a Figura 4.2, nota-se que o sistema de controle desenvolvido possui resposta imediata e adapta-se facilmente à mudanças bruscas na tensão de referência, permitindo a identificação do momento em que ocorre a mudança da magnitude da corrente da fase a sem que esta interfira no comportamento das demais correntes da carga.

A fim de comprovar que o sistema desenvolvido impõe tensão e que a corrente do mesmo pode ser alterada conforme especificação da carga, uma nova simulação foi desenvolvida. Foram alterados os parâmetros da carga e a capacitância dos capacitores dos submódulos para adequação à potência nominal. Portanto, foram estipuladas novamente a potência do sistema como 1 MVA, tensão nominal de 5,5 kV RMS e, conseqüentemente, corrente de 105 A_{RMS}. Logo:

$$V_b/(\sqrt{3} I_b) = V_b^2/S_b \quad (4.14)$$

$$5,5 * 10^3/(\sqrt{3} I_b) = 5,5^2 * 10^6/(1 * 10^6) \quad (4.15)$$

$$I_b = 105 \text{ A} \quad (4.16)$$

Uma vez que a corrente nominal ideal do sistema já foi identificada, para que o sistema se mantenha com a potência nominal de 1 MVA, deve-se projetá-lo seguindo os seus parâmetros de corrente e tensão de 105 A e 5,5 kV, respectivamente. Isto é necessário para não sobrecarregar os capacitores do sistema, devido à elevada corrente de circulação que possa surgir.

Em suma, é possível modificar a corrente de saída isoladamente da tensão projetada para o sistema, e não conjuntamente (são independentes). Para isto, basta-se inserir um resistor à saída do DSCC, modificando assim a resistência e fase da carga. Deste modo, abre-se um leque de opções para se elaborar inversores multiníveis para quaisquer sistemas e cargas desejadas (que forneçam altas ou baixas correntes na saída, mediante uma tensão nominal de saída fixa). No apêndice B pode-se observar diferentes projetos de DSCC alterando-se apenas v^* , V_{dc} e v_C^* .

A principal mudança no sistema está na modelagem dos capacitores dos submódulos e na resistência da carga, pois estas devem ser ajustadas para a obtenção da corrente nominal de saída ($105 A_{RMS}$) via análise básica de circuitos. Portanto, via Lei de Ohm, obtém-se $R_{carga} = 30 \Omega$. Como a reatância indutiva da carga foi estipulada como $5mH$, resta apenas calcular o ângulo da carga (θ).

Ao montar o triângulo de impedâncias e inserindo a reatância indutiva e a resistência da carga, obtém-se o ângulo da carga e fator de potência de $0,01^\circ$ e $0,99$. Apesar da resistência da carga possuir valor muito superior à reatância, esta não pode ser ignorada, uma vez que $5mH$ é um valor considerável de indutância. Desta forma, arredondamentos para tornar o sistema resistivo não são indicados.

Estes valores baixos na fase da carga eram previsíveis, pelo fato de a resistência da saída do DSCC possuir valor muito superior à reatância indutiva. Isto gerou uma diminuição significativa do ângulo da carga para os parâmetros exigidos no projeto, uma vez que não se pretendia modificar a reatância indutiva da carga.

Portanto, para um valor próximo à zero da angulação da carga, pode-se projetar novamente os capacitores dos submódulos e a energia mínima dos braços do DSCC para o pleno funcionamento do conversor mediante diferentes valores de k_{max} e índice de modulação em amplitude igual a 1.

Analisando a Figura 3.3 (b), observa-se que, para o k_{max} estipulado (1,05 %), a capacidade de energia nominal necessária para o ângulo $0,1^\circ$ é de, aproximadamente, $60 kJ/MVA$. De modo que, em termos de capacidade de energia (kJ por MVA), para transferir os 1 MVA, estipulados no sistema, seria necessária uma energia total de 60 kJ que, por sua vez, corresponde a 10 kJ por braço do DSCC.

Portanto, calculando-se a capacitância, expressa em (3.21), para um DSCC que possua 4 níveis ($N = 4$), obtém-se um valor mínimo de capacitância para os capacitores dos submódulos como:

$$C = [(2) * (4) * (10) * (10^3)] / [(9^2) * (10^6)] = 1 mF \quad (4.17)$$

Novamente, foram estipulados valores para a capacitância dos submódulos de modo que a tensão máxima sob eles não ultrapasse 5 % do valor nominal de tensão ($k_{max} = 1.05$).

Uma vez que se utilizam 4 submódulos por braço, espera-se que a forma de onda da tensão de saída de cada fase seja de 9 níveis e a tensão de linha seja de 17 níveis.

A Tabela 4.2 apresenta os parâmetros de simulação do sistema proposto com modelagem da corrente de acordo com os valores nominais para o novo dimensionamento.

Espera-se que, com a nova modelagem, a corrente de saída possua o valor nominal estipulado para o sistema. Além disso, deseja-se que os capacitores não apenas estejam balanceados, mas também oscilem menos durante a operação do sistema (apenas até 1,05 % do valor nominal de v_C). É esperado também que a corrente de circulação também apresente valores baixos, por estar ligada à corrente CC e, principalmente, que a potência de CC esteja compatível com a projetada (1 MW).

A fim de tornar as simulações mais realistas, considerou-se as perdas resistivas nos braços do DSCC e a resistência equivalente em série dos capacitores, ou ESR (do inglês, Equivalent Serie Resistance), como $0,08 \Omega$ e $0,06 \Omega$.

O critério para escolha de m_f se baseou nas faixas de frequência de f_c mais utilizadas pela indústria e comunidade científica em aplicações isoladas do DSCC via modulação PWM (entre 660 Hz e 5 kHz).

Tabela 4.2: Parâmetros para a simulação do DSCC proposto.

Parâmetros do Circuito		Parâmetros do Controle	
P	1 MW	K_1	0,5
V_{RMS}	5,5 kV	K_2	100
I_{RMS}	105 A	K_3	1,7
V_{dc}	9 kV	K_4	200
f	60 Hz	K_5	0,001
m_f	81	$v_{a,b,c}^*$	4,5 kV (3,175 kV RMS)
f_c	$f \cdot m_f = 4,86 \text{ kHz}$	v_c^*	$V_{dc}/4 = 2,25 \text{ kV}$
f_{eq}	$8 \cdot f_c = 38,88 \text{ kHz}$	Parâmetros da Carga	
L_{Br}	8 mH (0,1pu)		
C	1 mF (0,088pu)	R_{Carga}	30 Ω
H	61 ms	L_{Carga}	5 mH (0,062 pu)
N	4		
Dead time	3 μs		

As Figuras 4.3 à 4.7 mostram a plotagem dos principais parâmetros do conversor (correntes da carga, tensões de fase e linha, potência CC, controle da corrente de circulação, etc) a fim de investigar a efetividade do controle e projeto desenvolvido.

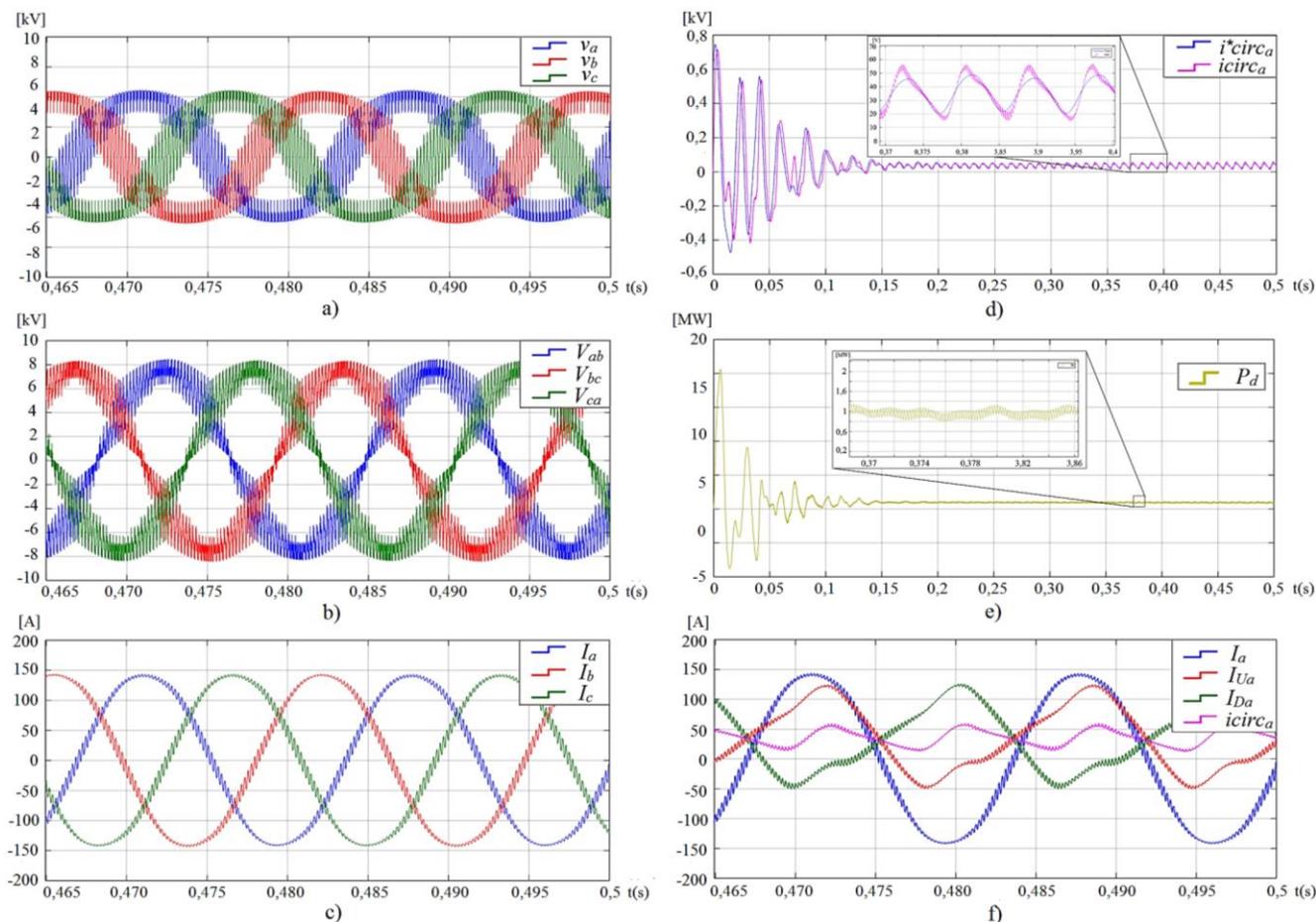


Figura 4.3: Simulação de DSCC de 4 células por braço, com os parâmetros da Tabela 4.1: (a) Tensões de fase $v_{a,b,c}$; (b) tensões de linha v_{ab}, v_{bc}, v_{ca} ; (c) correntes da carga $I_{a,b,c}$; (d) controle da média e da corrente de circulação para a fase a ; (e) potência do sistema P_d ; (f) I_{circ} , correntes da carga e do braço superior e inferior da fase a .

Após a simulação, nota-se que formas de onda da tensão de fase e linha (Figura 4.3 (a) e (b), respectivamente) possuem menor distorção que a simulação anterior. É importante ressaltar que em ambas as simulações o valor da tensão de referência foi alcançado.

A corrente da carga, apresentada no item (c) da Figura 4.3, está exatamente com o valor de amplitude estipulado no projeto (148,5 A ou $105 A_{RMS}$); assim, as correntes dos braços superiores e inferiores, juntamente com a corrente de circulação (item (f)), estão com a amplitude proporcionais a este parâmetro (também observado na tensão e energia sobre as células).

O controle da corrente de circulação (item (d)) apresenta tempo de assentamento do sinal similar à simulação anterior (0,07 s).

No item (e) da Figura 4.3, observa-se que a potência ativa do sistema está dentro do especificado inicialmente no projeto, demonstrando que a transferência de energia no inversor está estável e o controle é efetivo.

Em seguida, a Figura 4.4 mostra a DHT da tensão de fase, de linha e da corrente da carga do DSCC proposto. A distribuição dos espectros não mudou, porém, a magnitude dos harmônicos das tensões de fase e linha foi reduzida acentuadamente (30,25 % e 18,12 %, respectivamente) devido à diminuição da distorção do sinal pela carga possuir característica predominantemente resistiva. Na corrente da carga, nota-se o efeito contrário: verifica-se uma DHT de 5,96 % e um pequeno aumento da magnitude dos harmônicos centralizados sobre f_c e formação de harmônicos de baixa ordem próximos à fundamental, devido ao aumento das ondulações, causadas também pela característica altamente resistiva da carga. Além disso, à medida que se reduz a resistência da carga, a DHT da corrente tende a

diminuir enquanto sua amplitude tende a se elevar, influenciando na potência e distribuição de energia do sistema.

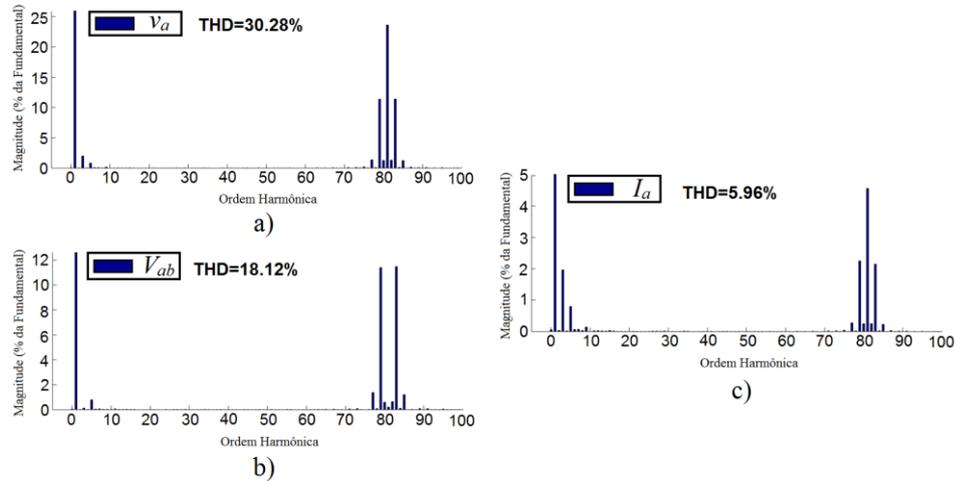


Figura 4.4: DHT da tensão de fase, de linha e da corrente da carga para a fase a DSCC implementado para $m_f = 81$ ($f_c = 4,86 \text{ kHz}$) e parâmetros da Tabela 4.1: (a) Tensão de fase v_a , (b) tensão de linha v_{ab} , (c) corrente da carga I_a .

O comportamento do sistema mediante a redução da amplitude para 25 %, 50 % e 75 % do sinal de referência $v_{a,b,c}^*$ nos instantes 0,15, 0,20 e 0,25 segundos, respectivamente está apresentado nas Figuras 4.5 à 4.7.

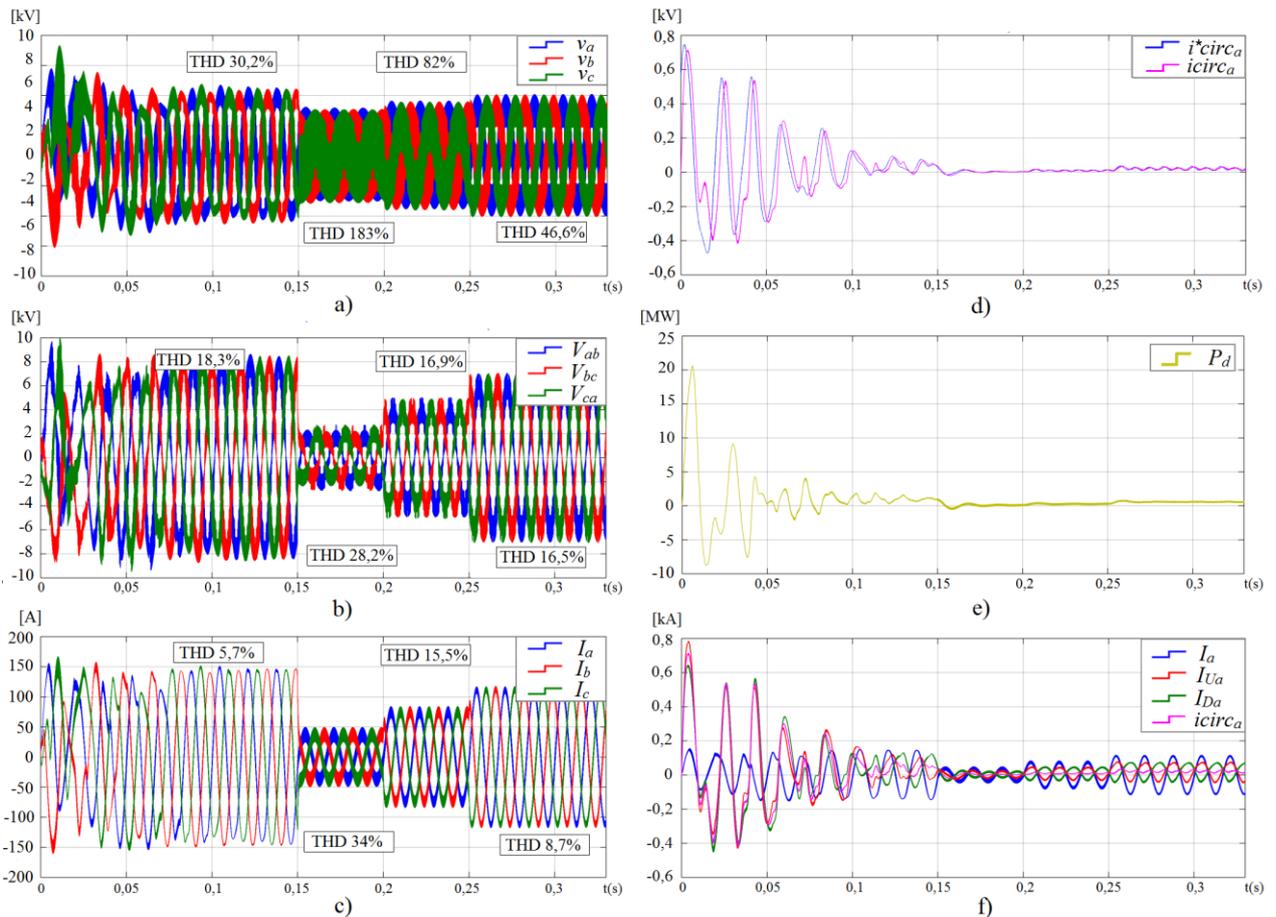


Figura 4.5: Comportamento das tensões de fase (a), de linha (b), correntes da carga (c), controle da corrente de circulação de fase a (d), potência do sistema (e) e corrente de circulação (f) mediante a redução da amplitude para 25 %, 50 % e 75 % do sinal de referência $v_{a,b,c}^*$ nos instantes 0,15, 0,20 e 0,25 segundos, respectivamente, para o novo sistema.

Analisando-se a Figura 3.12, pode-se destacar que:

- A resposta do sistema mediante alterações na tensão de referência é imediata, pois tanto a corrente quanto tensões se ajustam para o valor estipulado nos instantes 0,15, 0,20 e 0,25 segundos sem apresentar distorções;
- Ocorre a supressão da corrente de circulação em todas as condições de operação;
- A transferência de potência é constante em todos os estágios em que v^* foi modificado;
- A corrente de circulação não apresenta deformidades em nenhuma das condições de operação de v^* . Isto confirma todos os conceitos estudados no Capítulo 2, no que diz respeito à relação estrita entre as correntes do braço superior, inferior, corrente da carga e corrente de circulação.

Assim como na simulação 1, nota-se que à medida que se diminui a tensão de referência, elevam-se as ondulações das ondas de corrente e tensão e, por consequência, a DHT também aumenta. Os motivos são os mesmos relatados na implementação anterior: o sistema de controle da média e do balanceamento força o sinal (de corrente ou tensão) a se manter dentro da faixa estipulada. E, mediante a frequência de comutação das chaves (f_c), o sistema recebe o sinal atual e envia novos estímulos para manter o sinal controlado dentro dos seus limites. A intensidade das ondulações de corrente pode ser atenuada elevando-se L_{Br} .

A Figura 3.13 demonstra a distribuição equilibrada de energia por todos os capacitores da fase a do DSCC. Como a corrente de circulação é reduzida drasticamente, a distribuição de energia nos submódulos do conversor é obtida.

Pode-se observar também que a amplitude das grandezas é diferente da coletada na primeira simulação - a amplitude é muito menor devido à redução da magnitude da corrente de saída. Durante a operação, a corrente de circulação não se deformou.

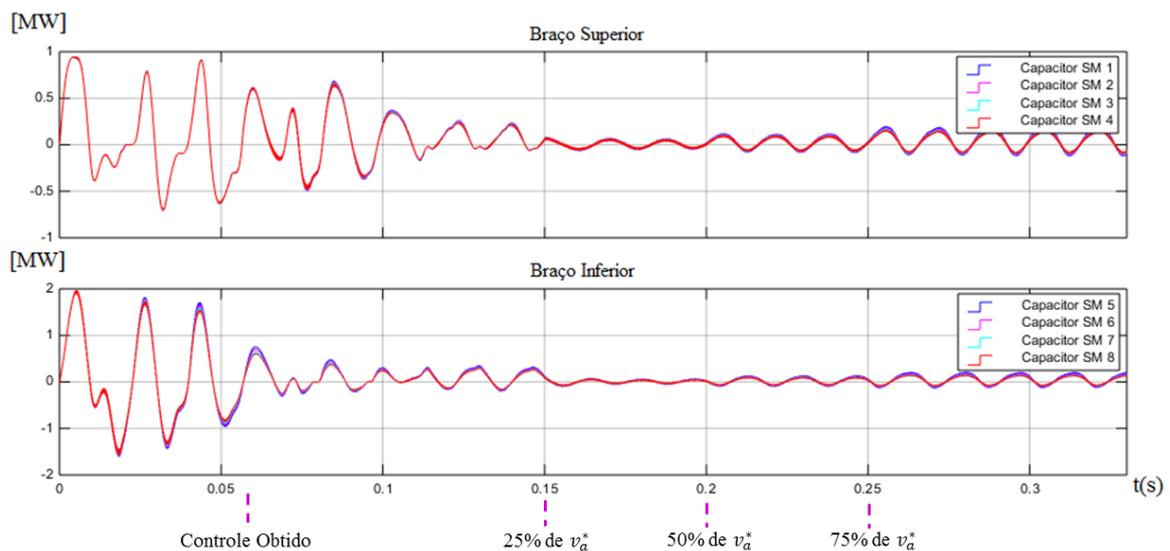


Figura 4.6: Potência dos capacitores dos submódulos do DSCC para a fase a mediante a mudança do sinal de referência $v_{a,b,c}^*$ para o novo sistema proposto (mediante a redução da amplitude para 25 %, 50 % e 75 % do sinal de referência $v_{a,b,c}^*$ nos instantes 0,15, 0,20 e 0,25 segundos, respectivamente).

A Figura 3.14 mostra a distribuição de tensão sobre os capacitores dos submódulos. Não há variação elevada de tensão sobre os capacitores e o balanceamento de tensão sobre todos os submódulos foi alcançado. Não ocorreu a ultrapassagem do valor máximo de 5 % da tensão nominal para cada capacitor, conforme estipulado pelo $k_{max} = 1,05$, no dimensionamento do armazenamento de energia dos capacitores, de acordo com os gráficos da Figura 3.3.

À medida que a tensão de comando muda, nota-se que a tensão sobre os capacitores sofre um rearranjo e, em alguns momentos, há uma pequena diferença entre o nível de tensão estipulado de um para o outro.

Em regime permanente, as tensões sobre os capacitores tendem a se equiparar e o sistema se estabiliza rapidamente em quaisquer mudanças impostas pela tensão de referência.

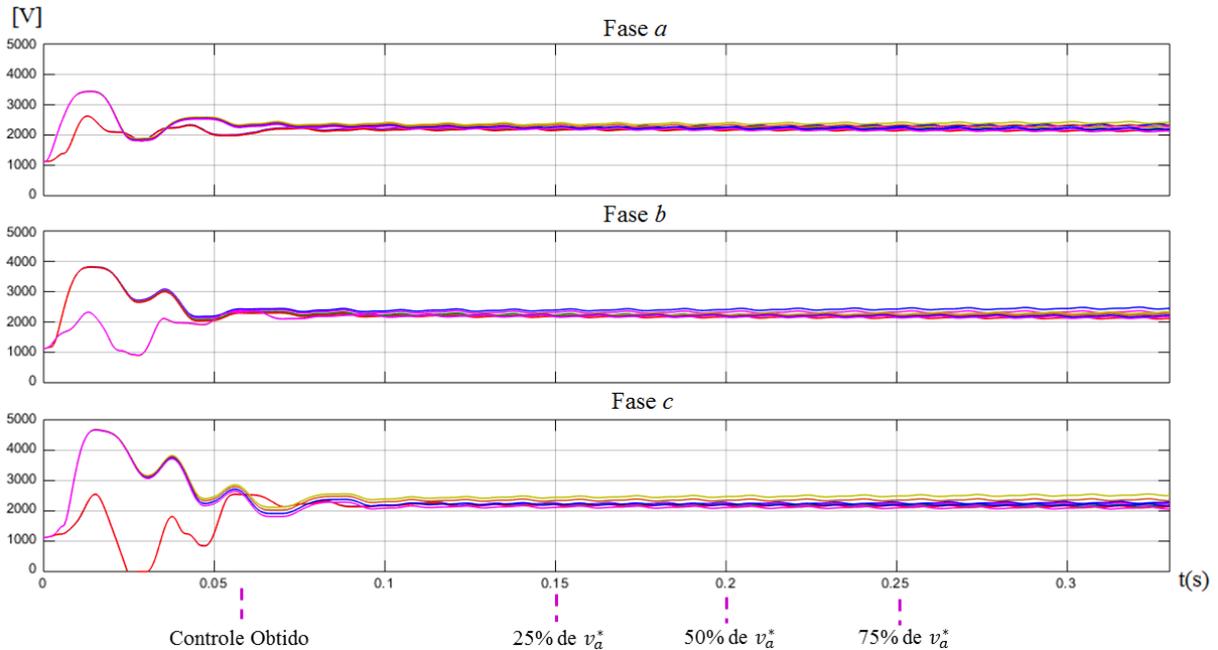


Figura 4.7: Balanceamento de tensão dos capacitores dos submódulos mediante as variações na tensão de referência $v_{a,b,c}^*$ (mediante a redução da amplitude para 25 %, 50 % e 75 % do sinal de referência $v_{a,b,c}^*$ nos instantes 0,15, 0,20 e 0,25 segundos, respectivamente).

Após a análise das Figura 3.10 à 3.14, nota-se que foi obtido êxito no controle em malha fechada do DSCC sem a inserção de faltas.

Comprovada sua eficácia, na Seção 3.3, o sistema em malha fechada desenvolvido será aperfeiçoado para suportar faltas nos submódulos, tornando o DSCC controlável em situações críticas de operação.

4.2 Método de Redistribuição de Energia Para a Compensação de Faltas

As Figuras 4.8 e 4.9 mostram os sinais coletados do DSCC quando ocorrem 1, 2, e 3 faltas em cada braço do DSCC nos instantes 0,1 s, 0,2 s e 0,3 s, respectivamente. Desse modo, foram gradualmente inseridas faltas durante a operação do DSCC até que restasse apenas 25 % das células operando plenamente. No instante 0,45s todas as células isoladas do circuito foram reinseridas.

O mecanismo aplicado ao controle do DSCC segue a base de regras apresentadas na Figura 3.9. Sendo assim, à medida que uma falta é inserida, altera-se a referência v^* para um valor maior para que, indiretamente, a exigência de tensão para cada capacitor aumente e os ganhos dos controladores PI sejam alterados.

O sistema do DSCC completo com o bloco de identificação e correção de faltas está apresentado no Apêndice C.3 e foi elaborado de acordo com os parâmetros expostos na Tabela 3.3, simulando um sistema de 24 células, sendo 4 submódulos por braço.

Tabela 4.3: Parâmetros para a simulação do sistema DSCC sob faltas.

Parâmetros do Circuito		Parâmetros do Controle (Pleno)	
P	1 MW	K_1	0,5
V_{RMS}	5,5 kV	K_2	100
I_{RMS}	105 A	K_3	1,7
V_{dc}	9 kV	K_4	200
F	60 Hz	K_5	0,001
m_f	81	$v_{a,b,c}^*$	4,5 kV (3,182 kV RMS)
f_c	$f * m_f = 4,86 \text{ kHz}$	v_c^*	$V_{dc}/4 = 2,25 \text{ kV}$
f_{eq}	$8 * f_c = 38,88 \text{ kHz}$	Parâmetros da Carga	
L_{Br}	8 mH (0,1 pu)		
C	2 mF (0,044 pu)	R_{Carga}	30 Ω
H	122 ms	L_{Carga}	5 mH (0,062 pu)
N	4		
<i>Dead time</i>	3 μ s		

Os ganhos utilizados na condição plena DSCC foram reutilizados para esta condição de faltas gradativas, com ajustes a fim de se obter os melhores resultados nas formas de onda das tensões e correntes de saída do DSCC. Estes ganhos podem ser vistos na Tabela 4.4.

Tabela 4.4: Ganhos utilizados no controle do DSCC para cada situação de falta.

Ganhos	0 e 1 Faltas por Braço	2 Faltas por Braço	3 Faltas por Braço	Submódulos Reinseridos
K_1	0,5	0,5	0,5	0,5
K_2	100	120	120	150
K_3	1,7	1,25	2	1,3
K_4	200	400	800	50
K_5	0,001	0,4	0,5	0,001

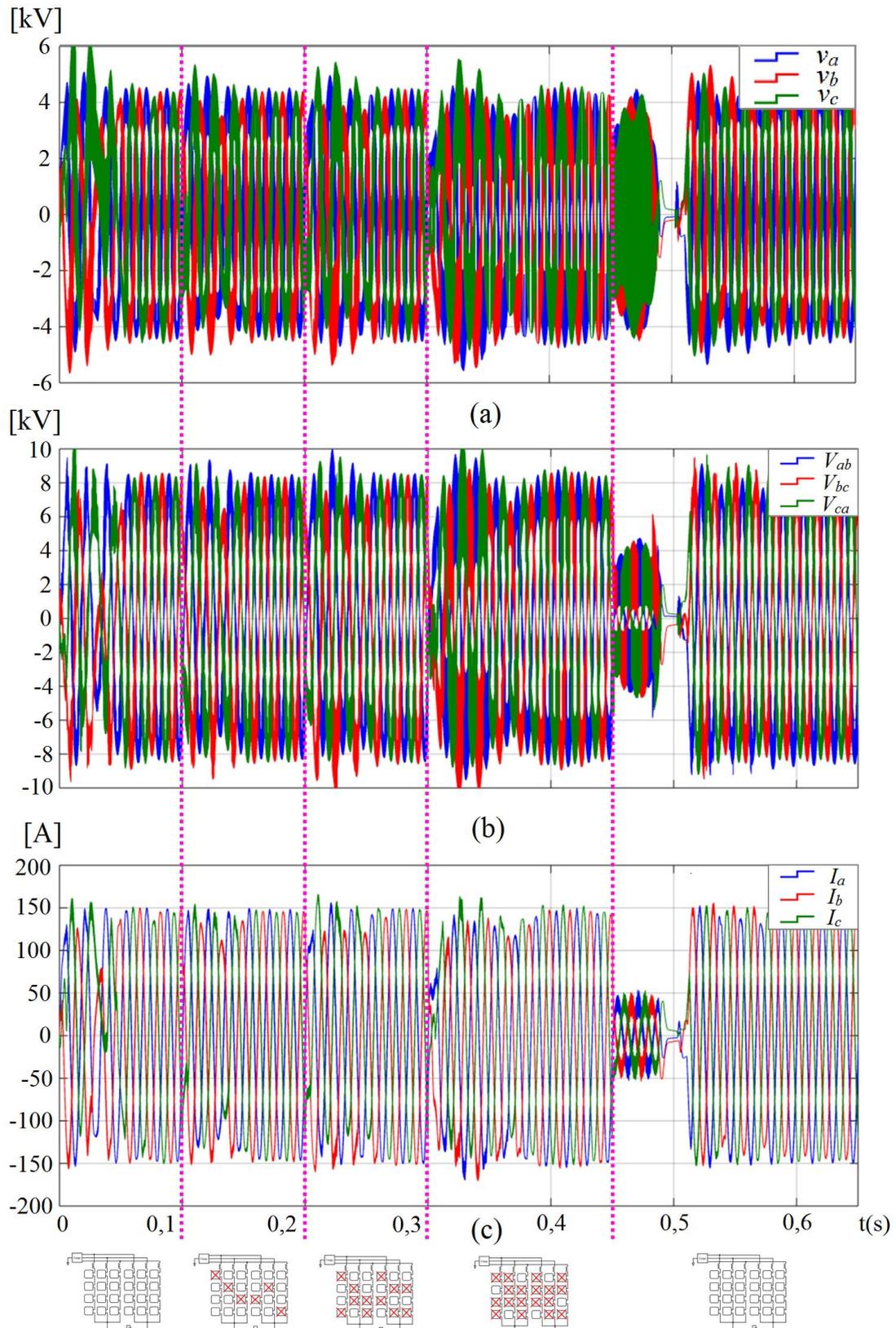


Figura 4.8: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente, com reinserção dos submódulos no instante 0,45 s: tensões de fase (a), tensões de linha (b) e correntes da carga (c).

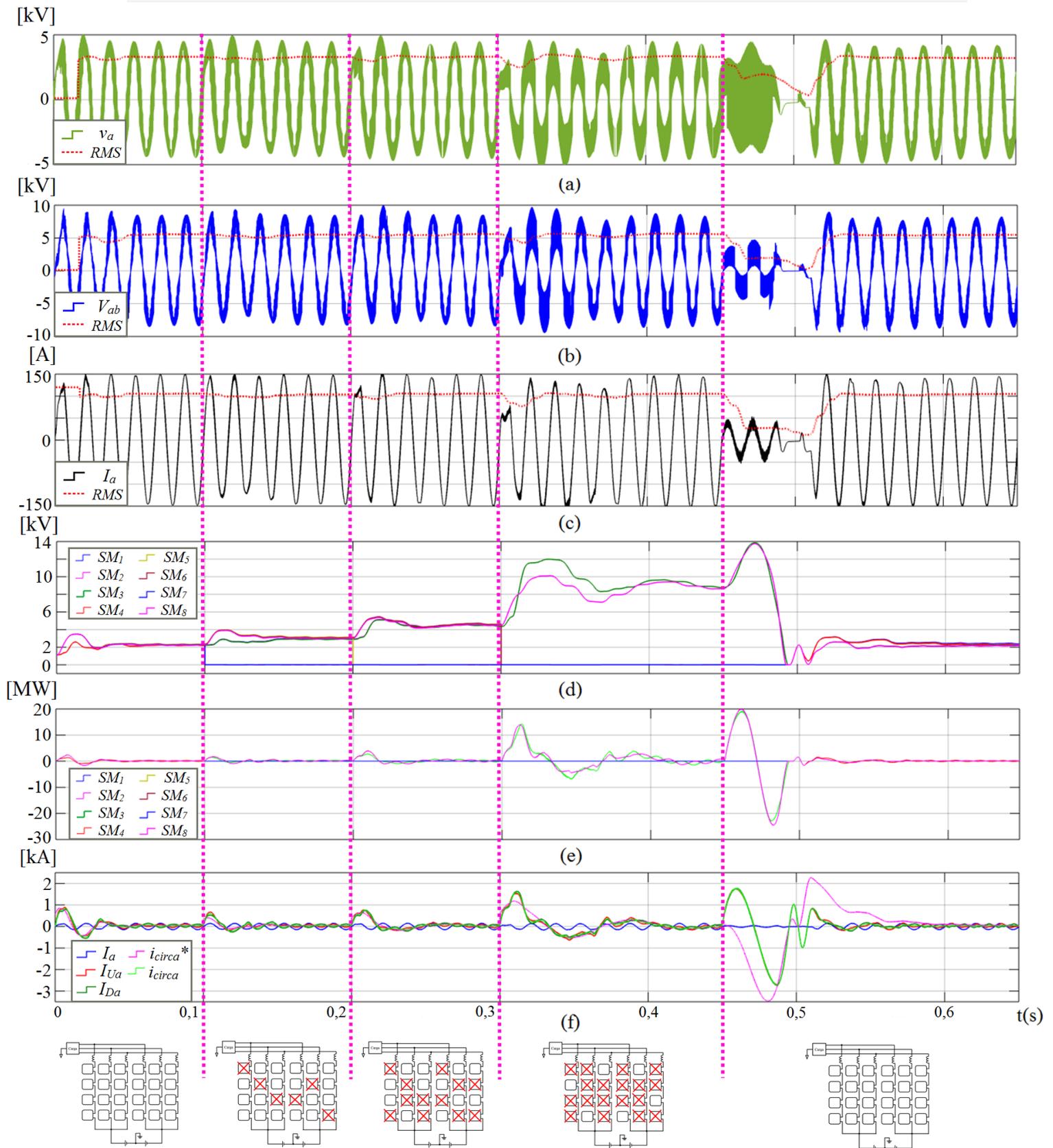


Figura 4.9: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente, para a fase a reinserindo-se os submódulos isolados no instante 0,45 s: tensão de fase (a), tensão de linha (b), corrente da carga (c), tensão sobre os capacitores dos submódulos (d), potência dos capacitores dos submódulos (e) e $i_a, i_{Ua}, i_{Da}, i_{circa}$ (f).

Nas Figuras 4.8 e 4.9 observa-se que:

- No instante da inserção das faltas, $i_{a,b,c}$, $v_{a,b,c}$ e $v_{ab,bc,ca}$ deformam-se por um curto período de tempo (0,01 s) e o controle proposto força o sistema a fornecer o sinal estipulado por v^* (Figura 4.9 (a), (b) e (c));
- À medida que as faltas são inseridas, o sinal de comando eleva-se de imediato para que as células restantes supram a falta das demais (Figura 4.9 (d), (e) e (f));
- O balanceamento e a distribuição de energia pelos capacitores restantes ocorrem de maneira plena - à medida que os submódulos são inutilizados, eleva-se igualmente a tensão e energia sobre os demais submódulos para que estes supram as faltas (Figura 4.9 (d) e (e));
- i_{circ} é suprimida em todas as condições e o sistema não se instabiliza, devido ao reajuste dos ganhos em cada situação (Figura 4.9 (f));
- Em todas as condições de falta, as tensões de fase, de linha e a corrente da carga alcançam o valor nominal, como pode ser visto pela plotagem dos valores RMS destes sinais (Figura 4.9 (a), (b) e (c)). Porém, à medida que as faltas são acrescentadas e o sistema de compensação entra em ação, cria-se um leve deslocamento de nível sobre estes sinais (proveniente da formação de harmônicos de ordem zero e do curto espaço de tempo para acomodação do sinal);
- O sistema de controle apresenta um tempo de resposta curto mediante as faltas e as chaves de *bypass* cumprem o seu papel de isolar as células defeituosas.
- Após a reinserção dos 3 submódulos em cada braço (instante 0,45 s), são necessários 0,07 s para se obter o balanceamento e completa distribuição de energia entre os dos capacitores do DSCC;
- Durante o período de restabelecimento estrutural do DSCC (0,45 s a 0,52 s), as tensões e correntes de saída sofrem uma redução de até 60 % do seu valor nominal;
- O período de instabilidade, presente dos 4,9 à 5,1 segundos, deve-se à inserção conjunta de todos os submódulos previamente isolados. Para evitar esta instabilidade, pode-se inserir gradualmente os submódulos no DSCC obedecendo o intervalo mínimo de 0,05 s (tempo necessário para o balanceamento dos capacitores após a retirada de cada submódulo).

As Figuras 4.10 à 4.12 mostram a distribuição espectral da tensão de fase, de linha e da corrente da carga do DSCC quando opera sob a ação de 1, 2, e 3 faltas em cada braço nos instantes 0,1 s, 0,2 s e 0,3 s, respectivamente.

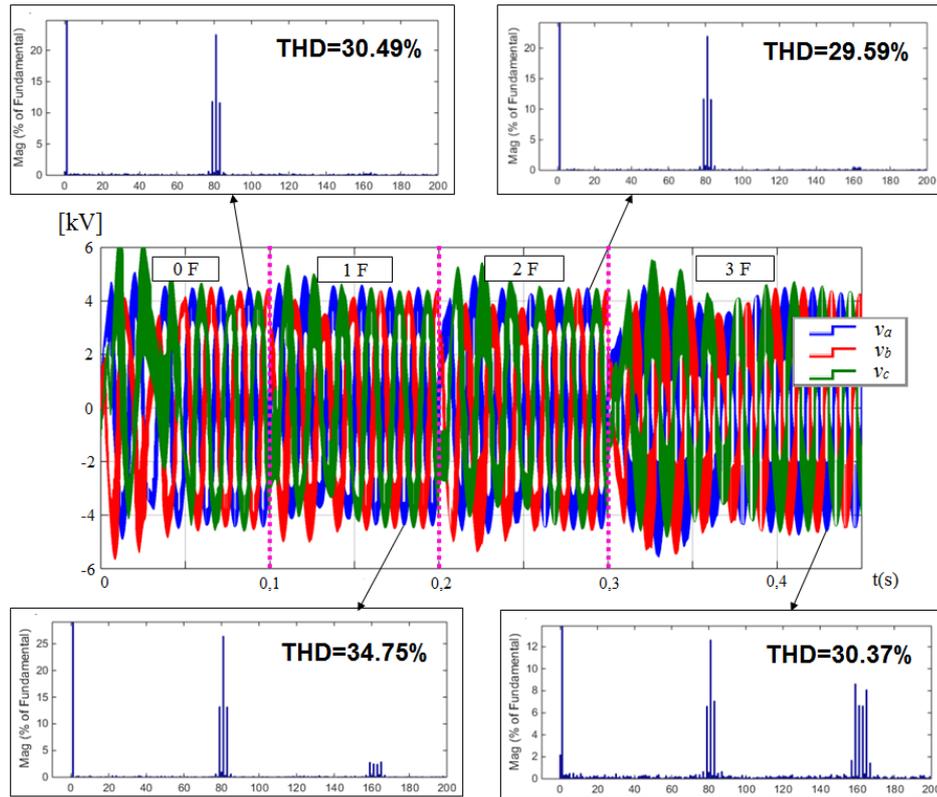


Figura 4.10: DHT das tensões de fase do DSCC quando operado sob a ação de faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente.

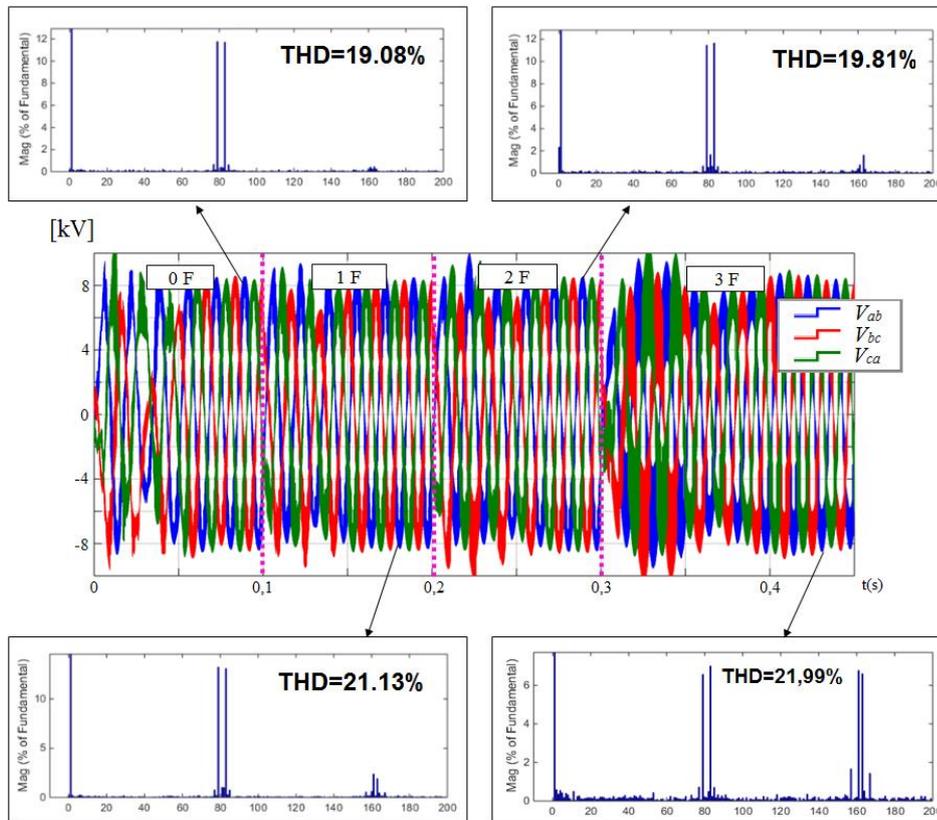


Figura 4.11: DHT das tensões de linha do DSCC quando operado sob a ação de faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente.

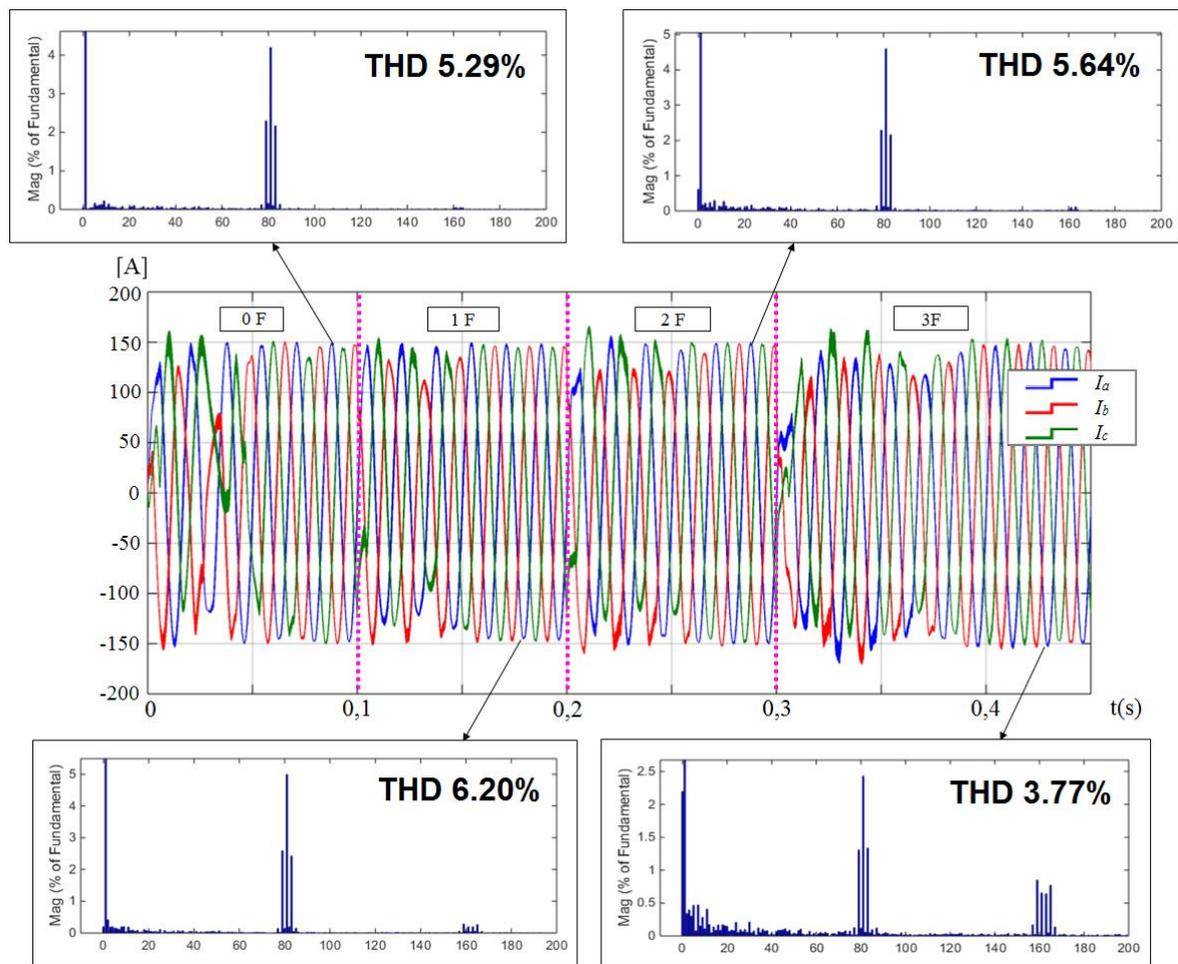


Figura 4.12: DHT das correntes da carga do DSCC quando operado sob a ação de faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente.

As Figuras 4.10, 4.11 e 4.12 demonstram que:

- Devido ao controle de supressão de I_{circ} em malha fechada, a distribuição espectral das tensões e correntes da carga estão regularmente distribuídas e centralizadas em torno de f_C (ao invés de $2Nf_C$, como ocorre em malha aberta) com harmônicos de menor ordem situados sob múltiplos inteiros de f_C ;
- À medida que as faltas são inseridas, ocorre a intensificação da amplitude dos harmônicos situados sob os múltiplos pares de f_C ;
- O sistema apresenta elevada resposta e recuperação mediante a falta (cerca de 0,01 segundos);
- À medida que as faltas são inseridas e o sistema força os submódulos restantes a compensar os que foram isolados, nota-se a formação de harmônicos de ordem zero nos sinais de corrente e tensão de saída, o que tende a deslocá-los pelo eixo y. Entretanto, não é expressiva a formação deste tipo de harmônico.

As Figuras 4.13 e 4.14 mostram o comportamento do sistema proposto mediante a inserção e faltas gradativas somente nos braços superiores do DSCC.

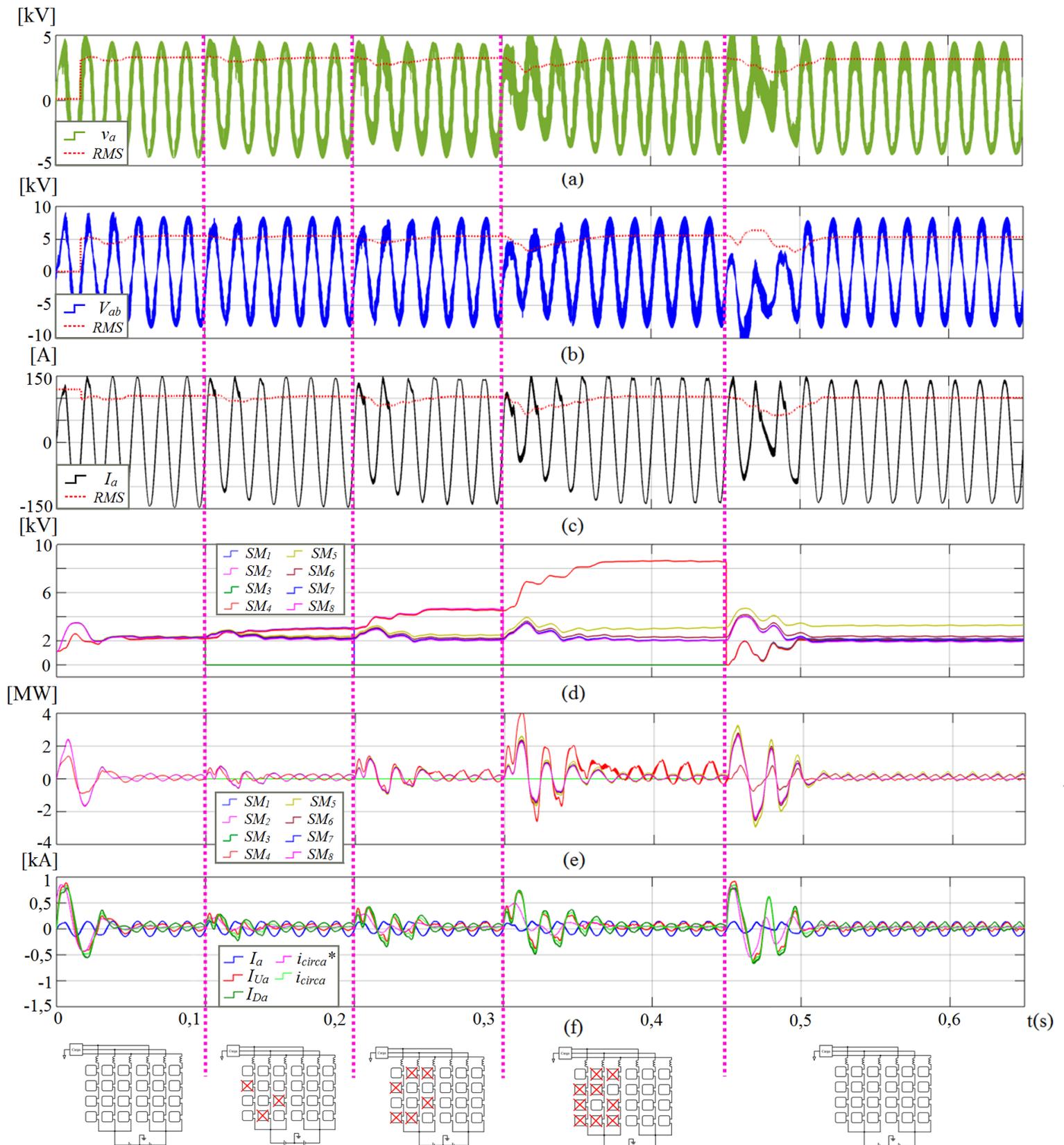


Figura 4.13: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente, para a fase a reinserindo-se os submódulos isolados no instante 0,45 s: tensão de fase (a), tensão de linha (b), corrente da carga (c), tensão sobre os capacitores dos submódulos (d), potência dos capacitores dos submódulos (e) e $i_a, i_{Ua}, i_{Da}, i_{circa}$ (f).

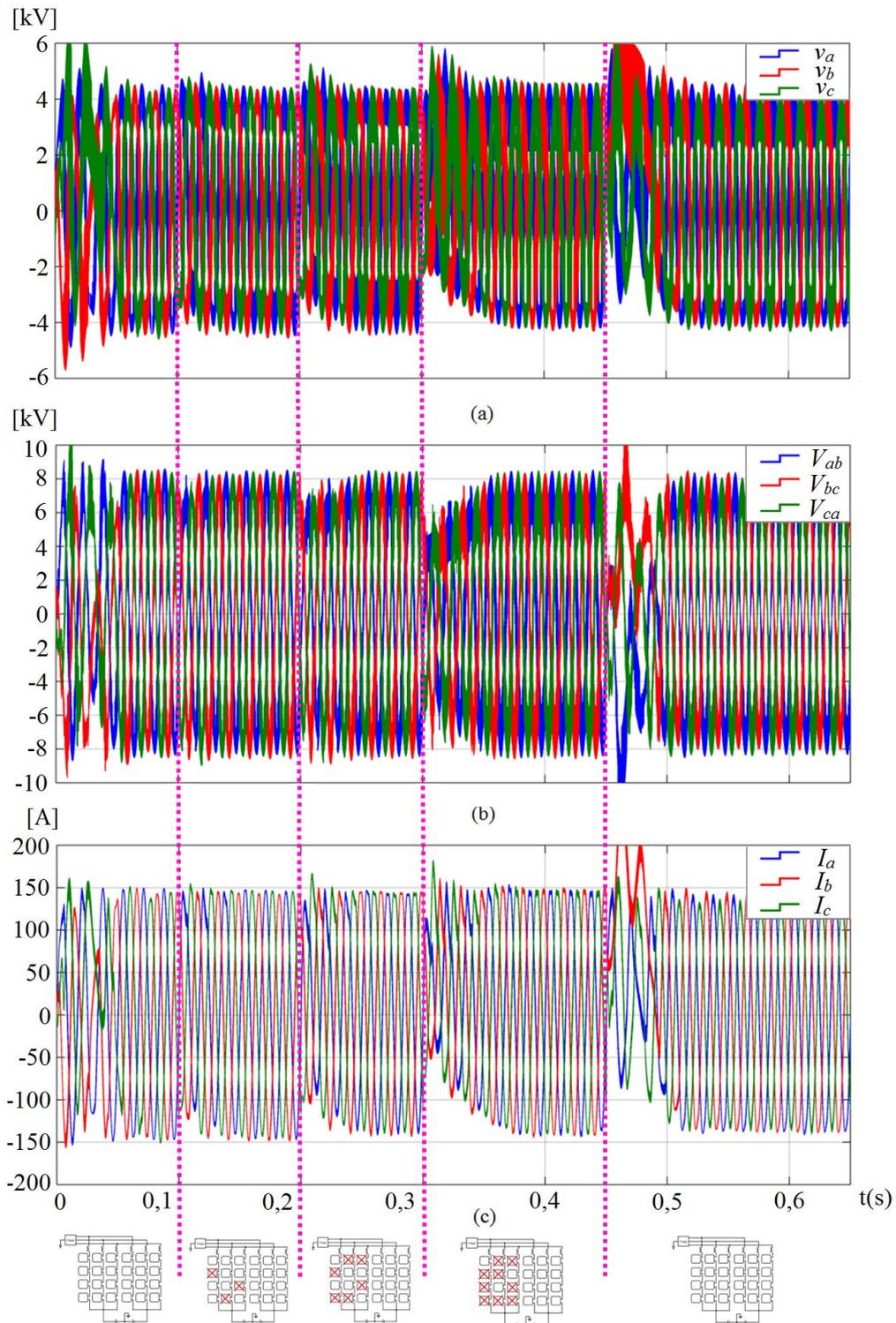


Figura 4.14: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos nos braços superiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente, com reinserção dos submódulos no instante 0,45 s: tensões de fase (a), tensões de linha (b) e correntes da carga (c).

Nas Figuras 3.24 e 3.25 observa-se que, em todas as condições de faltas impostas, o sistema proposto identificou e compensou em 100 % a ausência dos submódulos danificados. Quando ocorreram faltas em apenas um braço do DSCC, a reinserção dos submódulos foi menos impactante na operação do sistema e as tensões e correntes do DSCC estabilizaram-se em um tempo mais curto (cerca de 0,025 s), devido ao menor número de capacitores que precisaram ser balanceados após a reinserção.

Até esta parte do trabalho, foram aplicadas faltas equilibradas no DSCC. O comportamento do DSCC quando ocorrem faltas gradativas em apenas uma fase do sistema (faltas desequilibradas) pode ser visto nas Figuras 4.15 e 4.16. Similarmente às simulações com faltas simétricas, nesta nova condição, a compensação também é obtida com erro percentual menor que 4 %.

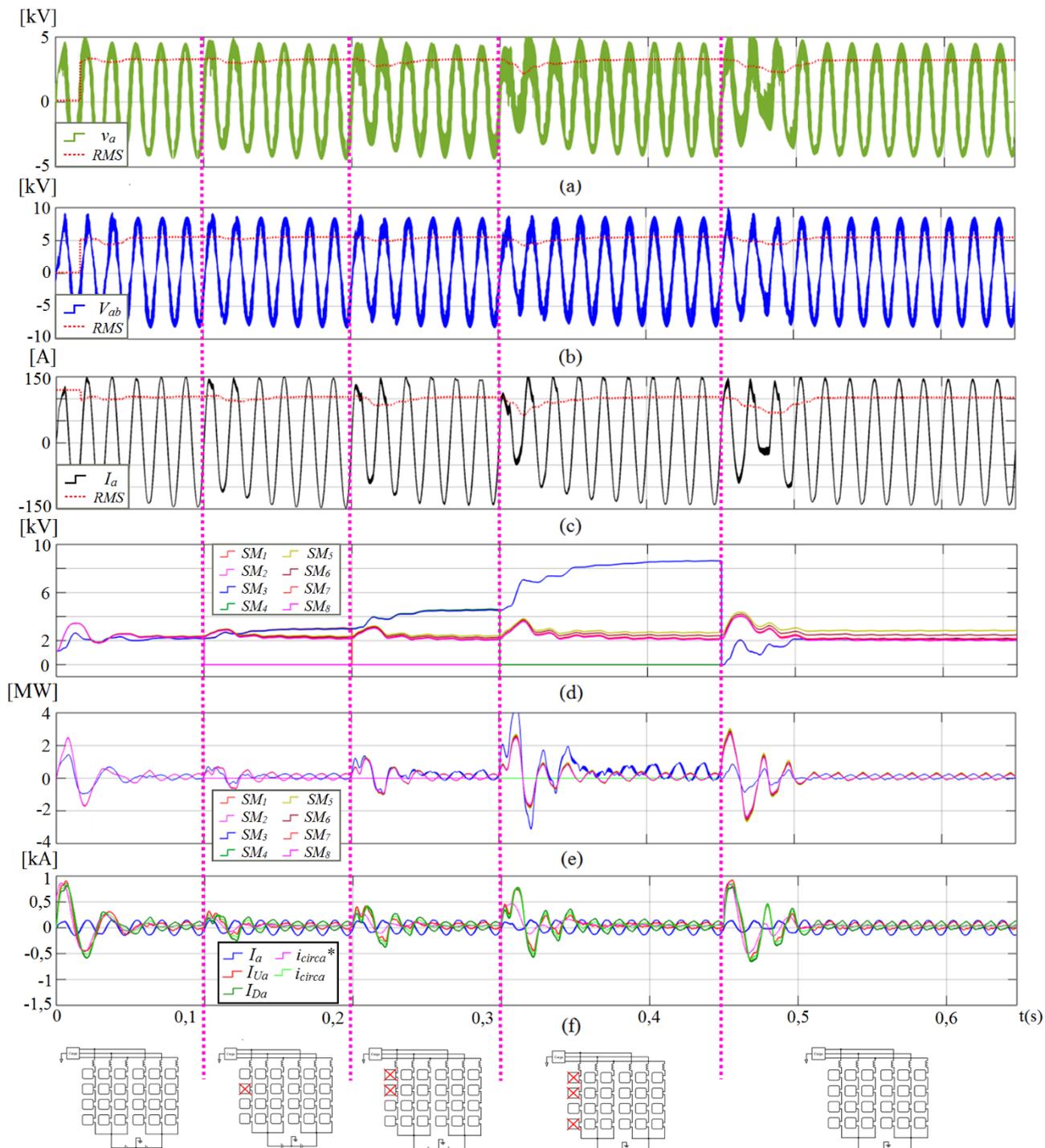


Figura 4.15: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos no braço superior da fase *a* nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente, reinserindo-se os submódulos isolados no instante 0,45 s: tensão de fase (a), tensão de linha (b), corrente da carga (c), tensão sobre os capacitores dos submódulos (d), Potência dos capacitores dos submódulos (e) e i_a , i_{Ua} , i_{Da} , i_{circa} (f).

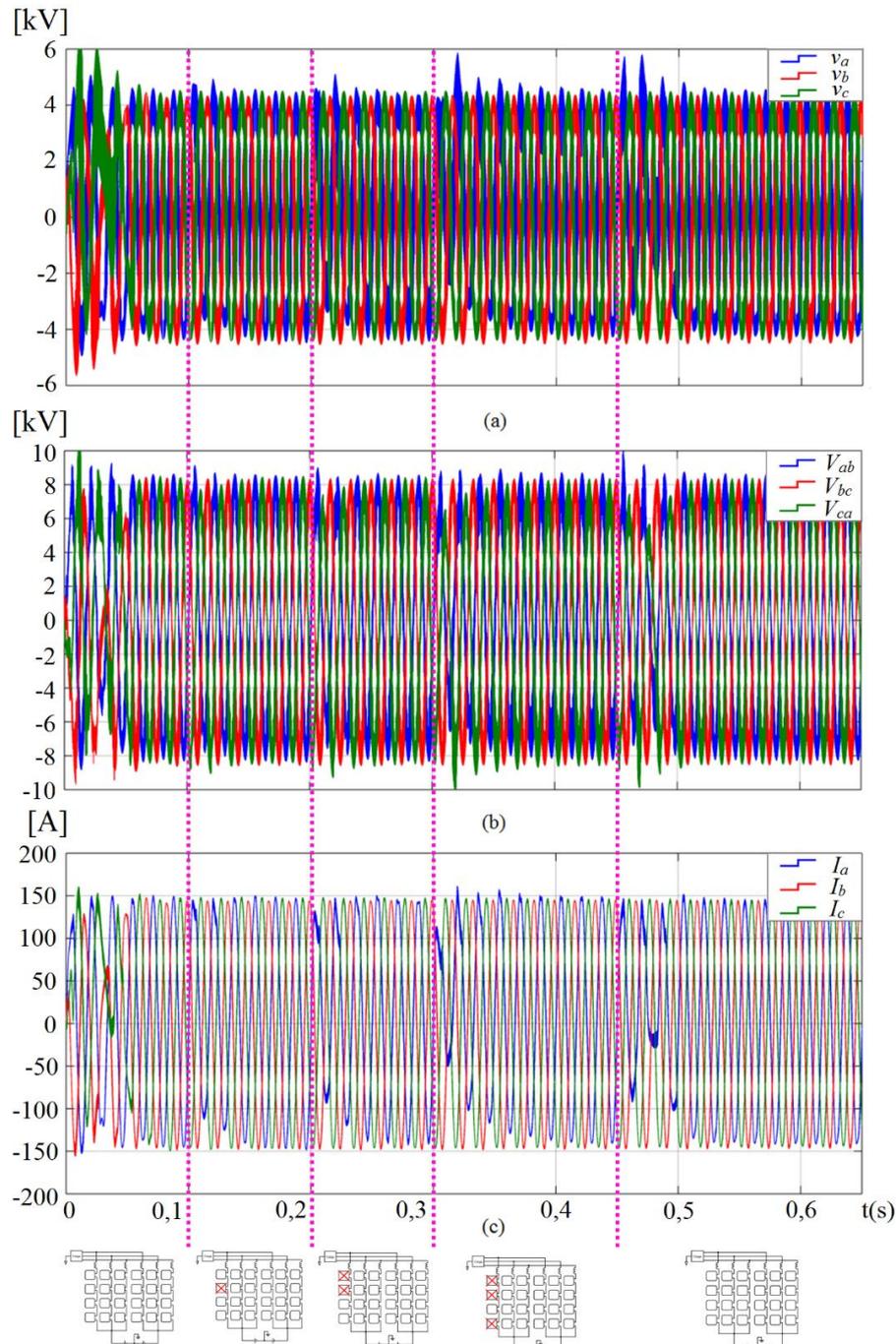


Figura 4.16: Simulação do DSCC sob faltas em 1, 2 e 3 submódulos no braço superior da fase a nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente, com reinserção dos submódulos no instante 0,45 s: tensões de fase (a), tensões de linha (b) e correntes da carga (c).

4.3 Método de Deslocamento de Neutro Para a Compensação de Faltas

Para verificar o efeito do deslocamento de neutro no DSCC mediante faltas, foi implementada no Simulink uma simulação em malha aberta do DSCC. Nela, foram utilizadas fontes de tensão no lugar dos capacitores e foram aplicados os valores de 8° , $15,5^\circ$ e $22,8^\circ$ em α à medida em que surgiam faltas na fase a em 1, 2 e 3 submódulos por braço nos instantes 0,1 s, 0,2 s e 0,3 s, respectivamente. A Figura 4.17 mostra os resultados desta simulação para um DSCC de 8 células por fase. Parâmetros: $V = 100\text{ V}$, $I = 1,7\text{ A}$, $R_{carga} = 30\ \Omega$, $L_{carga} = 5\text{ mH}$, $m_f = 41$, $m_a = 1$ e $N = 4$, $L_{Br} = 1\text{ mH}$, tempo morto de $3\ \mu\text{s}$.

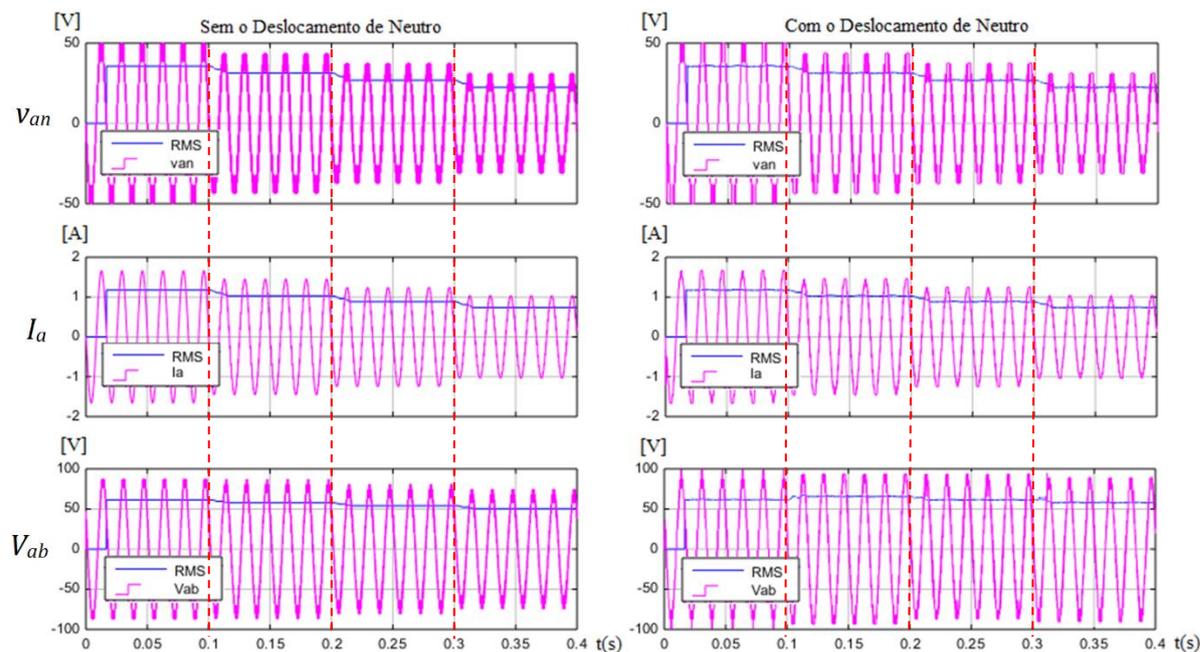


Figura 4.17: Comparação da operação do DSCC sem e com a inserção da técnica de deslocamento de neutro quando ocorrem faltas em 1, 2 e 3 submódulos nos braços superiores e inferiores nos instantes 0,10 s, 0,20 s e 0,30 s, respectivamente.

Analisando a Figura 4.17, observa-se que a técnica de deslocamento de neutro não causou efeito significativo sobre as tensões de fase e correntes de saída do DSCC à medida que as faltas eram inseridas. Entretanto, a tensão de linha foi compensada em 100% e 90% quando ocorria faltas em 50% e 75% dos submódulos, respectivamente. Portanto, para aplicações nas quais a obtenção da tensão de linha é focada, a técnica de correção de faltas via deslocamento de neutro é uma opção viável para o DSCC, por não exigir a elevação de tensão dos demais submódulos para compensar as faltas. Em malha fechada, os resultados obtidos foram similares. É importante frisar que a técnica de deslocamento de neutro só pode ser aplicada numa topologia trifásica e considerando faltas nos submódulos de uma fase apenas.

4.4 Comparação das Principais Soluções Para a Compensação de Faltas no DSCC

A Tabela 4.5 resume as vantagens e desvantagens das principais técnicas utilizadas para minimização dos prejuízos acarretados por faltas nos submódulos do DSCC. A Figura 4.18 apresenta uma explicação ilustrativa de cada uma delas.

Tabela 4.5: Comparação das principais soluções para a compensação de faltas no DSCC.

Solução		$I_{a,b,c}$ $v_{a,b,c}$ $V_{ab,ba,ac}$	Complexidade	Custo (R\$)	Exigência Computacional	Desempenho	Resiliência à Faltas	Operação
1	Isolamento da(s) Célula(s) Danificadas Sem Balancear os Demais Braços	DPC DB DPC DB DPC DB	Baixa	Baixo	Baixa	Baixo	Baixa	IntERRUPTA
2	Isolamento da(s) Célula(s) Danificada(s) Balanceando os Demais Braços	DPC DPC DPC	Média	Baixo	Média	Médio	Média	IntERRUPTA
3	Compensação de Energia Pelas Células Restantes	100 % 100 % 100 %	Elevada	Médio	Elevada	Elevado	Elevada	Ininterrupta
4	Deslocamento de Neutro	DPC DPC 100 %	Elevada	Baixo	Média	Médio	Média	Ininterrupta para $V_{ab,bc,ca}$

Legenda: DPC: Diminui proporcionalmente à medida que se reduz o número de células ativas. BD: Desbalanceado.

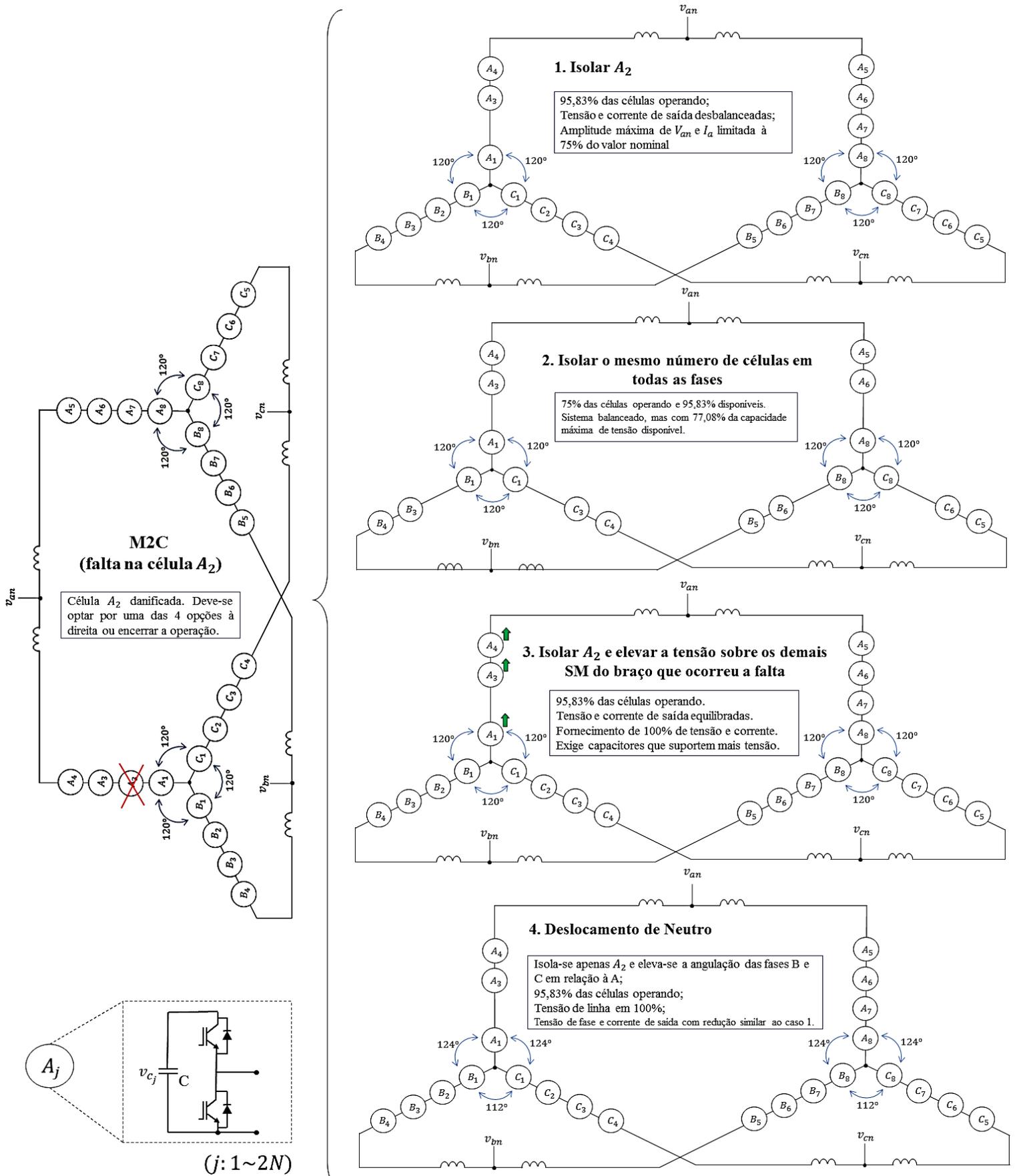


Figura 4.18: Diagrama resumido das possíveis soluções para correção de falta nos submódulos do DSCC.

4.5 Conclusões Parciais

No presente Capítulo, foi comprovado que o controle em malha fechada PI, formado pelo Controle da Média (responsável por monitorar e suprimir a corrente de circulação e equilibrar a tensão sobre os capacitores) e o Controle do Balanceamento (encarregado de manter a variação de tensão dos capacitores dentro nos níveis estipulados por v_c^*), apesar de possuir custo computacional, é uma abordagem efetiva de controle para o DSCC.

Foi incorporado um sistema de controle que, além de detectar a quantidade de submódulos danificados por braço, reprograma os parâmetros de energia e tensão necessários para cada submódulo restante, a fim de forçá-los a compensar a falta dos demais, mantendo as formas de onda das correntes e tensões de saída dentro dos valores projetados em condições plenas.

Só foi possível desenvolver este controle sob faltas dimensionando-se os capacitores para valores de capacitância quatro vezes maior, aproximadamente, que o utilizado para uma operação plena do DSCC.

Além disso, caso fosse utilizada a mínima capacitância exigida ($C = 0,55mF$, como projetado inicialmente), não haveria capacidade de armazenamento de energia suficiente nos capacitores restantes para suprir as demais faltas e alcançar a amplitude nominal de corrente e tensão da carga. A desvantagem da proposta de utilização de capacitores que suportem maior tensão é a necessidade da utilização de capacitores mais caros e elevado custo computacional. Porém, as vantagens são superiores, podendo-se destacar:

- Operação do DSCC sob faltas nas células sem comprometer o desempenho do sistema;
- Obtenção de um “Modo de Emergência” em casos extremos, em que apenas 25 % das células operam, elaborando-se um sistema com 100 % do fornecimento de corrente e tensão, enquanto os operadores tomam as devidas ações necessárias para uma possível manutenção ou desligamento futuro;
- Identificação de submódulos danificados seguido de seu isolamento e substituição;
- Obtenção de baixa DHT na corrente e tensão de fase e linha da carga em quaisquer amplitudes exigidas pela onda de referência e com a redução dos níveis de tensão;
- Estabilidade e supressão da corrente de circulação;
- Reinserção das células anteriormente isoladas do sistema sem instabilizar o controle, redistribuindo assim a energia e o desgaste entre as demais células.

Para o caso de grave comprometimento do DSCC (em que apenas 25 % das células estavam operando) e o caso de comprometimento de 50 % das células, foi necessário sintonizar novamente os ganhos do controle da média e do balanceamento para que o controle não se tornasse instável. Para tanto, bastou-se pré-definir os ganhos “K” para estas condições e inseri-los no momento oportuno. Se fosse necessário modificar os ganhos do controle para as outras condições, a predefinição do sistema seria atualizada.

Uma maneira de facilitar o controle mediante a falta em apenas um braço seria isolar células do braço complementar para que os dois braços possuam a mesma quantidade de faltas e aplicar os ganhos iniciais, não exigindo assim esforço computacional do sistema para reprogramar o controlador e reajustar os ganhos em cada situação.

Quando ocorreram faltas nos dois braços do DSCC, após a reinserção dos 3 submódulos em cada braço (instante 0,45s), foram necessários 0,07s para obter o balanceamento e equilíbrio na distribuição de energia dos capacitores do DSCC. Durante o período de restabelecimento estrutural do DSCC (0,45s a 0,52s), as tensões e correntes de saída sofreram uma redução de até 60 % do seu valor

nominal. Para a simulação em que ocorreram faltas em apenas um braço, o tempo necessário para alcançar a estabilidade do sistema foi de, aproximadamente, 0,025s.

Para eliminar este curto período de instabilidade pós-reinserção de submódulos, pode-se inseri-los gradativamente no DSCC.

Neste Capítulo também foi investigada a adaptabilidade do DSCC à técnica de correção via deslocamento de neutro. Concluiu-se que o DSCC é adaptável a esta técnica, porém, resultados expressivos só foram observados na tensão de linha.

A técnica que se mostrou mais eficiente para a correção de faltas no DSCC é a compensação do fornecimento de tensão das demais células para a obtenção dos valores nominais de tensão e corrente de saída.

A montagem do sistema de detecção e correção de faltas, juntamente com a nova adaptação do DSCC, está apresentada no Apêndice C.3.

Capítulo 5

5 Conclusões e Propostas de Continuação

No presente trabalho, foi realizado o estudo, modelagem e desenvolvimento de duas estratégias de compensação de faltas em 25 %, 50 % e 75 % do total de submódulos do DSCC.

A eficácia do controle PI proposto foi comprovada. Tal investigação foi crucial para a simulação do DSCC sob faltas, comprovação da eficácia do controle, da técnica SPWM estipulada, estudo da dinâmica dos capacitores e análise da corrente e tensão de saída mediante variação de carga ou sinal de referência.

Observou-se que o sistema de controle proposto impõe tensão na saída do conversor e, baseado em parâmetros iniciais do projeto e da carga, pode-se estipular a corrente nominal do mesmo. A corrente de circulação e dos braços do DSCC estão ligadas à corrente da saída do conversor, confirmando o que foi visto na Seção 2.

Por meio de diversas simulações, foi certificado que o controle em malha fechada PI proposto, formado pelo controle da média de tensão dos capacitores (responsável por monitorar e suprimir a corrente de circulação e manter os capacitores com a tensão estipulada) e o Controle do Balanceamento dos capacitores (encarregado de manter a variação de tensão dos capacitores dentro dos níveis estipulados por v^*), apesar de possuir elevado custo computacional, é um dos mais completos tipos de controle para o DSCC.

No entanto, a alta resiliência à faltas, contínuo monitoramento de todos os componentes e eficiente resposta de comando aos mais diferentes estímulos de v^* inseridos neste projeto geraram alto custo computacional, necessário para executar este sistema em tempo real. Para um bom desempenho, é necessário um computador de alta capacidade de processamento, o que no nível industrial não é um grande inconveniente, uma vez que a tecnologia de processamento dos computadores atuais é elevada.

Foi concluído que o sistema a prova de faltas proposto para o DSCC por compensação de energia dos capacitores restantes é eficaz e que possui como desvantagem apenas o encarecimento dos capacitores dos submódulos (por necessitarem de um suporte maior à tensão) e a elevação da complexidade e custo computacional do sistema. Suas vantagens são desde a correta operação do sistema com células danificadas à identificação de submódulos defeituosos com a oportunidade de se operar por maior tempo o DSCC, com a mesma qualidade da corrente e tensão de saída. Além disso, esta manobra evita um desligamento inesperado e acidentes de trabalho.

Obteve-se também a opção de retirada dos submódulos danificados, uma vez que estes eram ignorados no sistema, abrindo-se assim a oportunidade também de manutenção e inserção de novos submódulos sem encerrar a operação do sistema.

A condição de operação do DSCC sob 75 % de faltas pode ser considerada como um “Modo de Emergência” até que as devidas manutenções no DSCC ocorram ou até que o maquinário possa ser desligado em segurança sem afetar a segurança dos operadores.

Após a reinserção dos 3 submódulos em cada braço (instante 0,45s), foram necessários 0,07s para obter o balanceamento e completa distribuição de energia entre os capacitores do DSCC. Durante o período de restabelecimento estrutural do DSCC (0,45s a 0,52s), as tensões e correntes de saída sofreram uma redução de até 60 % do seu valor nominal. Para os casos de faltas em apenas um braço do DSCC, obteve-se o reestabelecimento do sistema em 0,025s.

A reinserção de submódulos no DSCC apresenta menor instabilidade no controle quando é feita de maneira gradativa.

Por fim, foi investigada a adaptabilidade do DSCC à técnica de correção via deslocamento de neutro. Concluiu-se que o DSCC é adaptável a esta técnica, porém, resultados expressivos só foram

observados na tensão de linha. Portanto, a técnica mais eficiente para a correção de faltas no DSCC é, portanto, a elevação do fornecimento de tensão das demais células para a obtenção dos valores nominais de tensão e corrente de saída via controle em malha fechada.

As principais contribuições deste trabalho são:

- Operação plena do DSCC mediante faltas em 25%, 50% e 75% das células totais;
- Identificação, isolamento e reinserção do submódulo defeituoso do sistema sem encerrar a operação do DSCC;
- Compensação de células danificadas mediante controle sem comprometer o rendimento e operação do sistema;
- Obtenção de um “Modo de Emergência” em casos extremos (em que apenas 25 % das células operam) enquanto os operadores tomam as devidas ações necessárias para uma possível manutenção ou desligamento futuro.
- Criação de um sistema de identificação de submódulos defeituosos;
- Desenvolvimento de um sistema com completa sondagem da tensão e energia de cada submódulo e chave (alta confiabilidade);
- Obtenção de um sistema com equilibrada distribuição de energia entre as chaves dos submódulos e cumprimento do limite máximo de variação de tensão dos capacitores;
- Obtenção do controle e estabilização do sistema em curto espaço de tempo (aproximadamente 50 ms) e rápida resposta mediante mudanças de amplitude do sinal de referência;
- Obtenção de baixa DHT na corrente da carga e tensões de fase e linha em quaisquer amplitudes exigidas pela onda de referência com ou sem a inserção de faltas;
- Balanceamento de todos os capacitores dos submódulos e supressão da corrente de circulação em condições plenas ou mediante faltas nos submódulos de maneira gradual ou durante a partida;
- Controle completo do DSCC sem a necessidade de um sistema de controle externo;
- Comprovação da efetividade da técnica de deslocamento de neutro (*neutral shift*) sobre as tensões de linha para a compensação de faltas no DSCC, eliminando a necessidade de elevação da energia sobre os submódulos restantes;
- Implementação de um modelo do DSCC que suprime as correntes de circulação sem a inserção de resistências em cada braço (R_{Br});
- Elaboração de um artigo de revista [75] no qual se estudou a família do DSCC e implementou-se um sistema utilizando controle PI para média tensão avaliando diferentes técnicas SPWM multiportadoras;
- Redação de um artigo voltado para ao estudo e operação do DSCC mediante faltas nos submódulos (ainda em fase de publicação).

Possíveis propostas futuras a este trabalho:

- Análise e controle do DSCC meio a faltas no barramento CC;
- Montagem experimental em laboratório do sistema proposto;
- Aplicação do controle de faltas aqui desenvolvido no DSCC utilizando-se outras técnicas de modulação;
- Em condições plenas de operação, promover a implementação de outras técnicas de controle e compará-las em termos de DHT, desempenho e tempo de resposta com a técnica aqui desenvolvida para o mesmo número de células;

- Com a técnica de controle aqui proposta, promover o desenvolvimento de sistemas com um número mais elevado de células, analisando-se o seu desempenho mediante faltas e a velocidade de resposta do controlador frente a um alto número de variáveis de controle e elevado processamento, característicos de um DSCC com muitos submódulos;
- Estudo e implementação de técnicas de otimização para tornar o controle proposto menos pesado computacionalmente para obtenção de resposta em tempo real sem a necessidade de se utilizar um computador com alto desempenho;
- Adaptação deste controle de faltas para todas as outras aplicações do DSCC;
- Implementação da técnica de compensação por deslocamento de neutro às demais topologias multiníveis pertencentes à família do DSCC.

Referências

- [1] Franchi, C. M. "Acionamentos Elétricos", Editora Érica Ltda, 4ª Ed. São Paulo, 2008.
- [2] Barbi I. "Eletrônica de Potência", Edição do Autor, 6º Ed. Florianópolis, 2006.
- [3] Lesnicar A.; Marquardt R. "An innovative modular multilevel converter topology suitable for a wide power range," in Proc. IEEE Power Tech Conf., 2003, vol. 3, pp. 23–26.
- [4] Baker R.; Bannister L. "Electric Power Converter" U.S. Patent 3 867 643, Feb. 1975.
- [5] McMurray W. "Fast Response Stepped-Wave Switching Power Converter Circuit". US Patent No. 3,581,212, Filed 31 July 1969, Granted 25 May 1971.
- [6] Baker R. "Switching circuit," U.S. Patent 4 210 826, July 1980.
- [7] Meynard T.; Foch, H. "Multi-Level Conversion: High Voltage Choppers And Voltage Source Inverters". Power Electronics Specialists Conference, 1992. PESC '92. 23ª Annual IEEE, pp. 397-403 vol. 1, 1992.
- [8] Peng F. Z. "A generalized multilevel inverter topology with self voltage balancing," in IEEE Transactions on Industry Applications, vol. 37, no. 2, pp. 611-618, Mar/Apr 2001.
- [9] Marquardt R.; Lesnicar A.; Hildinger J. "Modulares Stromrichterkonzept Für Netzkupplungsanwendungen Bei Hohen Spannungen". ETG-Conference, 2002.
- [10] Lesnicar A.; Marquardt R. "A New Modular Voltage Source Inverter Topology". In Proc. EPE, vol. 3, pp. 2–4, 2003.
- [11] Pereira I. F. B. F. "Projectar, Simular e Implementar um Inversor Multinível". (Dissertação de Mestrado, FEUP). Jun 2008.
- [12] Tmeic-GE. (Online). Disponível em: www.tmeic.com. Acesso em 27/03/2017.
- [13] Ansaldo Sistemi Industriali. (Online). Disponível em: <http://www.prismaservices.com/ansaldo-sistemi-industriali>. Acesso em 27/03/2017.
- [14] Converteam. (Online). Disponível em: www.converteam.com. Acesso em 27/03/2017.
- [15] Rongxin Power Electronic Co. (RXPE). (Online). Disponível em: www.rxpe.co.uk. Acesso em 28/03/2017.
- [16] Eaton. (Online). Disponível em: www.eaton.com. Acesso em 28/03/2017.
- [17] Arrowspeed. (Online). Disponível em: www.arrowspeed.com. Acesso em 28/03/2017.
- [18] Ingeteam. (Online). Disponível em: www.ingeteam.com. Acesso em 28/03/2017.
- [19] LS Industrial Systems. (Online). Disponível em: <http://eng.lsis.biz/>. Acesso em 28/03/2017.
- [20] Yaskawa. (Online). Disponível em: www.yaskawa.eu.com. Acesso em 28/03/2017.
- [21] Beijing Leader & Harvest Electric Technologies. (Online). Disponível em: www.ld-harvest.com. Acesso em 28/03/2017.
- [22] Grupo Jema. (Online). Disponível em: www.grupojema.com. Acesso em 28/03/2017.
- [23] Spichartz M. et al. "Modular Multilevel Converter for propulsion system of electric ships," 2013 IEEE Electric Ship Technologies Symposium (ESTS), Arlington, VA, 2013, pp. 237-242.
- [24] Thantirige K. et al. "Medium voltage multilevel converters for ship electric propulsion drives," 2015 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles (ESARS), Aachen, 2015, pp. 1-7.
- [25] Chen Y.; et al. "Modeling and Control of the Isolated DC–DC Modular Multilevel Converter for Electric Ship Medium Voltage Direct Current Power System," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 5, no. 1, pp. 124-139, March 2017.
- [26] John J.; Jose J. "A Three Phase Step Up Multilevel Inverter for Aircraft Applications," 2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT), Chennai, 2016, 405-408.
- [27] Youssef M. Z.; Orabi M.; Tarbouchi M. "Design of an efficient multilevel inverter for a 1500V railway propulsion system applications," 2015 IEEE Applied Power Electronics Conference and Exposition (APEC), Charlotte, NC, 2015, pp. 1197-1201.
- [28] Baroni B. "Aplicação Do Conversor Multinível Modular Em Transmissão HVDC Com Eliminação Seletiva De Harmônicos".(Tese de Mestrado, UFMG). Belo Horizonte, MG. Mar. 2012.
- [29] Flourentzou N.; Agelidis V. G.; Demetriades G. D. "VSC-based HVDC power transmission systems: An overview," IEEE Trans. Power Electron., vol. 24, no. 3, pp. 592–602, Mar. 2009.
- [30] Allebrod S.; Hamerski R.; Marquardt, R. "New Transformerless, Scalable Modular Multilevel Converters For Hvdc-Transmission". Power Electronics Specialists Conference. PESC 2008. IEEE, pp. 174-179, 2008.

- [31] Saeedifard, M.; Iravani, R. "Dynamic Performance Of A Modular Multilevel Back-To-Back HVDC System, Power Delivery". IEEE Transactions on 25(4): 2903-2912, 2010.
- [32] Chuco B.; Watanabe E. "Back-To-Back HVDC Based On Modular Multilevel Converter", COBEP2011, 2011.
- [33] Serbia N. "Modular Multilevel Converters for HVDC power stations". (Doctoral thesis, Université de Toulouse). Toulouse, França. Fev. 2014.
- [34] Zhao Y.; Dai N.; BaoAn. "Application of three-phase modular multilevel converter (MMC) in co-phase traction power supply system," 2014 IEEE Conference and Expo Transportation Electrification Asia-Pacific (ITEC Asia-Pacific), Beijing, 2014, pp. 1-6.
- [35] Koyama Y.; Arai T.; Hasegawa R. Suzuki D. "One-pulse control for modular multilevel converter based STATCOM," 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe), Karlsruhe, 2016, pp. 1-10.
- [36] Ferreira A.; Gomis-Bellmunt O.; Teixedó M. "HVDC-based modular multilevel converter in the STATCOM operation mode," 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe), Karlsruhe, 2016, pp. 1-10.
- [37] Zhao W.; Yang K.; Chen G. "An improved nearest-level-modulation of modular multilevel converter - STATCOM," 2015 IEEE 11th International Conference on Power Electronics and Drive Systems, Sydney, NSW, 2015, pp. 219-223.
- [38] Zhang W.; Gao Q.; Su B.; Jin M.; Xu D.; Liu J. "Research on the control strategy of STATCOM based on modular multilevel converter," 2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA), Hiroshima, 2014, pp. 614-618.
- [39] Yang X. et al. "Research on modular multilevel converter based STATCOM," 2011 6th IEEE Conference on Industrial Electronics and Applications, Beijing, 2011, pp. 2569-2574.
- [40] Tsolaridis G. et al. "Control of a Modular Multilevel Converter STATCOM under internal and external unbalances," IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society, Florence, 2016, pp. 6494-6499.
- [41] Farias J. V. M., Cupertino A. F., Ferreira V. N., Seleme S. I., Pereira H. A. and Teodorescu R., "Design and lifetime analysis of a DSCC-MMC STATCOM," 2017 Brazilian Power Electronics Conference (COBEP), Juiz de Fora, 2017, pp. 1-6, doi: 10.1109/COBEP.2017.8257312.
- [42] Sanz I.; Moranchel M.; Bueno E. J.; Rodriguez F. J. "Analysis of medium voltage modular multilevel converters for FACTS applications," IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society, Florence, 2016, pp. 6459-6464.
- [43] Liang J. et al. "Current source modular multilevel converter for HVDC and FACTS," 2013 15th European Conference on Power Electronics and Applications (EPE), Lille, 2013, pp. 1-10.
- [44] Lai J. S.; Peng F. Z. , "Multilevel converters—A new breed of power converters," IEEE Trans. Ind. Applicat., vol. 32, pp. 509–517, May/June 1996.
- [45] Pefititsis D. et al. High-Power Modular Multilevel Converters With SiC JFET's. Em: IEEE Transactions On Power Electronics, Vol. 27, N° 1, Jan. 2012.
- [46] Korn A.; Winkelkemper M.; Steimer, P. "Low Output Frequency Operation Of The Modular Multi-Level Converter". Energy Conversion Congress and Exposition (ECCE), 2010 IEEE, pp. 3993-3997, 2010.
- [47] Tolbert L.; Peng F.-Z.; HABELTLER T. "Multilevel converters for large electric drives," IEEE Trans. Ind. Applicat., vol. 35, pp. 36–44, Jan./Feb. 1999.
- [48] Hagiwara M.; Akagi H. "Control and experiment of pulsewidth modulated modular multilevel converters," IEEE Trans. Power Electronics, vol. 24, no. 7, pp. 1737-1746, July 2009.
- [49] N. P. Schibli, Tung Nguyen and A. C. Rufer, "A three-phase multilevel converter for high-power induction motors," in IEEE Transactions on Power Electronics, vol. 13, no. 5, pp. 978-986, Sept. 1998.
- [50] Akagi H. "Medium-voltage power converters and motor drives," in Conf. Rec. European Center for Power Electronics, Zurich, March 2009, CD-ROM
- [51] Hammond P. W.; "A new approach to enhance power quality for medium voltage AC drives," IEEE Trans. Ind. Applicat., vol. 33, pp. 202-208, 1997.
- [52] Meynard T. A. et al. "Multicell converters: Basic concepts and industry applications," IEEE Trans. Ind. Electron., vol. 49, no. 5, pp. 955–964, Oct. 2002.

- [53] Hagiwara M.; Nishimura K.; Akagi H. "A Modular Multilevel Pwm Inverter For Medium Voltage Motor Drives". Energy Conversion Congress and Exposition. ECCE 2009. IEEE, pp. 2557-2564, 2009.
- [54] Mohammadi P.; Bina M. "A Transformerless Medium-Voltage Statcom Topology Based On Extended Modular Multilevel Converters". Power Electronics, IEEE Transactions on 26(5): 1534 -1545, 2011.
- [55] Hagiwara M.; Maeda R.; Akagi H. Theoretical Analysis and Control of the Modular Multilevel Cascade Converter Based on Double-Star Chopper-Cells (MMCC-DSCC). In: The 2010 International Power Electronics Conference (IPEC). Jun. 2010.
- [56] Bresesti P.; Kling W. L.; Hendriks R. L.; Vailati R. "HVDC connection of offshore wind farms to the transmission system," IEEE Trans. Energy Convers., vol. 22, no. 1, pp. 37–43, Mar. 2007.
- [57] Jin Y.; Fletcher J. E.; and O'reilly J., "Multiterminal dc wind farm collection grid internal fault analysis and protection design," IEEE Trans. Power Del., vol. 25, no. 4, pp. 2308–2318, Oct. 2010.
- [58] Nunes H. M. B. "Nova Topologia De Conversor Multinível Para Parques Eólicos Marinhos". Dissertação de Mestrado. IST, Lisboa. Set. 2010.
- [59] Iannuzzi D.; Piegari L.; Tricoli P. "A novel PV-modular multilevel converter for building integrated photovoltaics," 2013 Eighth International Conference and Exhibition on Ecological Vehicles and Renewable Energies (EVER), Monte Carlo, 2013, pp. 1-7.
- [60] Mei J.; Xiao B.; Shen K.; Tolbert L. M.; Zheng J. Y. "Modular Multilevel Inverter with New Modulation Method and Its Application to Photovoltaic Grid-Connected Generator," in IEEE Transactions on Power Electronics, vol. 28, no. 11, pp. 5063-5073, Nov. 2013.
- [61] Raghi R. O.; Geisa J. M. "Multilevel Converter Topology With Reduced Switching Elements for Electric Vehicle," 2016 International Conference on Energy Efficient Technologies for Sustainability (ICEETS), Nagercoil, 2016, pp. 647-652.
- [62] Liu Y. et al. "Modular multilevel converter with high-frequency transformers for interfacing hybrid DC and AC microgrid systems," 2014 IEEE 5th International Symposium on Power Electronics for Distributed Generation Systems (PEDG), Galway, 2014, pp. 1-6.
- [63] Holmes D. G.; Lipo T. A. "Pulse Width Modulation For Power Converters: Principles And Practice", John Wiley & Sons, USA, 2003.
- [64] Agelidis V. G.; Calais M. "Application specific harmonic performance evaluation of multicarrier PWM techniques," in Proc. Of IEEE Power Electron. Spec. Conf., 1998, pp. 172-178.
- [65] Rodriguez J.; Jih-Sheng Lai and Fang Zheng Peng, "Multilevel inverters: a survey of topologies, controls, and applications," in IEEE Transactions on Industrial Electronics, vol. 49, no. 4, pp. 724-738, Aug 2002.
- [66] Gayathri G.; Rajitha A. R. "A Review of Modulation Techniques for Chopper cell based Modular Multilevel Converters". International Research Journal of Engineering and Technology (IRJET) e-ISSN: 2395 -0056 Volume: 02 Issue: 04. p-ISSN: 2395-0072. July-2015.
- [67] Darus R.; Konstantinou G., Pou J., Ceballos S.; Agelidis V. G. "Comparison of phase-shifted and level-shifted PWM in the modular multilevel converter," 2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA), Hiroshima, 2014, pp. 3764-3770.
- [68] Mesquita S. J. "Uma Proposta de Projeto Para Inversor Multinível em Cascata Assimétrico com 63 níveis de Tensão de Saída e Operação em Baixa Frequência," (Dissertação de Mestrado, Universidade Federal do Ceará). Fortaleza, Brazil. Fev. 2011.
- [69] Rohner S.; Bernet S.; Hiller M.; Sommer R. "Pulse width modulation scheme for the Modular Multilevel Converter," 2009 13th European Conference on Power Electronics and Applications, Barcelona, 2009, pp. 1-10.
- [70] Peng F. Z.; Qian W.; Cao D. "Recent advances in multilevel converter/inverter topologies and applications," The 2010 International Power Electronics Conference - ECCE ASIA -, Sapporo, 2010, pp. 492-501.
- [71] Zhu D.; Ding M. "Research on the Topology and Control Scheme of an Innovative Modular Multilevel Converter. Journal Energy and Power Engineering", 2013, 5, 1512-1516.
- [72] Ciftci B.; Ertürk F.; Hava A. M. "Selection of suitable carrier-based PWM method for Modular Multilevel Converter," 2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA), Hiroshima, 2014, pp. 3734-3741.

- [73] Ciftci B.; Hava A. M. "Waveform quality comparison of scalar PWM methods for Modular Multilevel Converters," 2013 8th International Conference on Electrical and Electronics Engineering (ELECO), Bursa, 2013, pp. 152-156.
- [74] Kim J. S.; Kim T. J.; Kang D. W.; Hyun D. S. "A novel method of the harmonic analysis by the multi-carrier PWM techniques in the multi-level inverter," IEEE 2002 28th Annual Conference of the Industrial Electronics Society. IECON 02, 2002, pp. 3140-3145 vol.4.
- [75] Silva V. M.; Luiz A. S. A.; Stopa M. M. "Comparative Study of Carrier-Based Pwm Techniques for Control of Double-Star Modular Multilevel Converter Using Half Bridge Cells". International Research Journal of Engineering and Technology. Volume: 05 Issue: 03, Mar-2018, pp.1502-1520.
- [76] Wang Z., A. Zhang, H. Zhang, Zhang C.; Bai Y. "Control strategy for modular multilevel converters in sub-module fault state," 2015 IEEE 10th Conference on Industrial Electronics and Applications (ICIEA), Auckland, 2015, pp. 369-374.
- [77] Antonopoulos A.; Ängquist L.; Norrga S.; Ilves K.; Harnfors L.; Nee H. P. "Modular Multilevel Converter AC Motor Drives With Constant Torque From Zero to Nominal Speed," in IEEE Transactions on Industry Applications, vol. 50, no. 3, pp. 1982-1993, May-June 2014.
- [78] Thitichaiworakorn N.; Hagiwara M.; Akagi H. "Experimental verification of a modular multilevel cascade inverter based on double-star bridge-cells (MMCI-DSBC)," 2012 IEEE Energy Conversion Congress and Exposition (ECCE), Raleigh, NC, 2012, pp. 4196-4202.
- [79] Solas E.; Abad G.; Barrena J. A.; Cárear A.; Aurtenetxea S. "Modelling, simulation and control of Modular Multilevel Converter," Proceedings of 14th International Power Electronics and Motion Control Conference EPE-PEMC 2010, Ohrid, 2010, pp. T2-90-T2-96.
- [80] Rohner, Steffen et al. "Modulation, Losses, and Semiconductor Requirements of Modular Multilevel Converters." IEEE Trans. Industrial Electronics 57 (2010): 2633-2642.
- [81] Antonopoulos A.; Angquist L.; Nee H. P. "On dynamics and voltage control of the Modular Multilevel Converter," 2009 13th European Conference on Power Electronics and Applications, Barcelona, 2009,-10.
- [82] Guo G.; et al. "The modulation and simulation of voltage source converter based on Half Bridge Sub Module," 2014 International Conference on Power System Technology, Chengdu, 2014, pp. 2047-2055.
- [83] Hagiwara M.; Maeda R.; Akagi H. "Control and Analysis of the Modular Multilevel Cascade Converter Based on Double-Star Chopper-Cells (MMCC-DSCC)," in IEEE Transactions on Power Electronics, vol. 26, no. 6, pp. 1649-1658, June 2011.
- [84] Alesina A.; Venturini M. "Solid-State Power Conversion: A Fourier Analysis Approach To Generalized Transformer Synthesis". Circuits and Systems. IEEE Transactions on, Vol. 28, No. 4, pp. 319, 330. 1981.
- [85] Li Y.; Jones E. A.; Wang F. "Circulating Current Suppressing Control's Impact on Arm Inductance Selection for Modular Multilevel Converter," in IEEE Journal of Emerging and Selected
- [86] Herrera L.; Yao X.; Wang J. "Modeling and circulating current control of MMC," 2015 IEEE Applied Power Electronics Conference and Exposition (APEC), Charlotte, NC, 2015, pp. 2898-2902.
- [87] Tu Q.; Xu Z.; Xu L. "Reduced Switching-Frequency Modulation and Circulating Current Suppression for Modular Multilevel Converters," in IEEE Transactions on Power Delivery, vol. 26, no. 3, pp. 2009-2017, July 2011.
- [88] Li Y.; Wang F. "Arm inductance selection principle for modular multilevel converters with circulating current suppressing control," 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2013, pp. 1321-1325.
- [89] Grinberg R. et al., "Study of overcurrent protection for modular multilevel converter," 2014 IEEE Energy Conversion Congress and Exposition (ECCE), Pittsburgh, PA, 2014, pp. 3401-3407.
- [90] Medina M. "Design and Control of Single-Phase Modular Multilevel Converter". (Master's Thesis, Universidad de Oviedo). Astúrias, Espanha. Jul. 2013.
- [91] Camargo R. "Desenvolvimento Matemático De MMC Utilizando A Estratégia De Chaveamento Pscpwm". (Dissertação de Mestrado, UFES). Vitória, ES. 2015.
- [92] Asimakopoulos P. "Design and Control of Modular Multilevel Converter in an Active Front End Application". (Master of Science Thesis). Chalmers University of Technology Göteborg, Sweden, 2013.
- [93] Carnielutti F. M. "Estratégias de Modulação para Conversores Multiníveis em Cascata Sob Falta". (Dissertação de Mestrado, UFSM). Santa Maria, 2012.

- [94] Pereira I. F. B. F. Projectar, Simular e Implementar um Inversor Multinível. (Dissertação de Mestrado, FEUP). Jun 2008.
- [95] Lima L. A. M. "Conversor Multinível Modular: Modelo Analítico e Controle de Corrente Circulante". (Dissertação de Mestrado, UFRJ). Rio de Janeiro, Ago. 2016.
- [96] Plyusnin V. V. "Conversores Multinível Modulares para um Sistema de Transmissão de Corrente Contínua a Alta Tensão para Parques Eólicos Marinhos". (Dissertação de Mestrado, IST). Lisboa, Abr. 2014.
- [97] Ilves K.; Norrga S.; Harnfors L.; Nee H. P. "On Energy Storage Requirements in Modular Multilevel Converters," in IEEE Transactions on Power Electronics, vol. 29, no. 1, pp. 77-88, Jan. 2014.
- [98] Ahmed N. ; Massoud A. , "A Matlab/Simulink model for capacitor voltages balancing in modular multilevel converters," 8th IET International Conference on Power Electronics, Machines and Drives (PEMD 2016), Glasgow, 2016, pp. 1-6.
- [99] Ängquist L.; A. Antonopoulos, D. Siemaszko, K. Ilves, M. Vasiladiotis and H. P. Nee, "Inner control of Modular Multilevel Converters - An approach using open-loop estimation of stored energy," The 2010 International Power Electronics Conference - ECCE ASIA -, Sapporo, 2010, pp. 1579-1585.
- [100] Peng H.; Lv Z.; Deng Y.; He X.; Zhao R. "Capacitor voltage balancing based on fundamental frequency sorting algorithm for modular multilevel converter," 2014 IEEE Energy Conversion Congress and Exposition (ECCE), Pittsburgh, PA, 2014, pp. 1639-1644.
- [101] Abushafa O.; Gadoue S.; Dahidah M.; Atkinson D.; Ethni S. "Control strategies for capacitor voltage balancing in modular multilevel converters," 2016 7th International Renewable Energy Congress (IREC), Hammamet, 2016, pp. 1-6.
- [102] Akagi H. "Classification, Terminology, and Application of the Modular Multilevel Cascade Converter (MMCC)," in IEEE Transactions on Power Electronics, vol. 26, no. 11, pp. 3119-3130, Nov. 2011.
- [103] Haghazari S.; M. Shahbazi; M. R. Zolghadri. "A new fault detection method for modular multilevel converter semiconductor power switches," IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society, Yokohama, 2015, pp. 000050-000055.
- [104] Li B.; Zhang Y.; Yang R.; Wang G.; Xu D. "An IGBT open-circuit fault detection method for modular multilevel converters," 2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia), Seoul, 2015, pp. 1573-1578.
- [105] Abdelsalam M.; Marei M. I.; Tennakoon S. "An Integrated Control Strategy with Fault Detection and Tolerant Control Capability Based on Capacitor Voltage Estimation for Modular Multi-level," in IEEE Transactions on Industry Applications, vol. PP, no.99, pp.1-1
- [106] Yang Q.; Qin J.; Saeedifard M. "Analysis, Detection, and Location of Open-Switch Submodule Failures in a Modular Multilevel Converter," in IEEE Transactions on Power Delivery, vol. 31, no. 1, pp. 155-164, Feb. 2016.
- [107] Shao S.; Clare J. C.; Watson A. J.; Wheeler P. W. "Detection and isolation of multiple faults in a modular multilevel converter based on a sliding mode observer," 2014 IEEE Energy Conversion Congress and Exposition (ECCE), Pittsburgh, PA, 2014, pp. 3491-3495.
- [108] Haghazari S.; Khodabandeh M.; Zolghadri M. R. "Fast fault detection method for modular multilevel converter semiconductor power switches," in IET Power Electronics, vol. 9, no. 2, pp. 165-174, 2 10 2016.
- [109] Deng F.; Chen Z.; Khan M. R.; Zhu R. "Fault Detection and Localization Method for Modular Multilevel Converters," in IEEE Transactions on Power Electronics, vol. 30, no. 5, pp. 2721-2732, May 2015.
- [110] Shao S., Wheeler P. W.; Clare J. C.; Watson A. J. "Fault Detection for Modular Multilevel Converters Based on Sliding Mode Observer," in IEEE Transactions on Power Electronics, vol. 28, no. 11, pp. 4867-4872, Nov. 2013.
- [111] Hu X.; Zhang J.; Xu S.; Jiang Y. "Fault diagnosis of modular multilevel converters based on extended state observer," 2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG), Vancouver, BC, 2016, pp. 1-6.
- [112] Sen M.; Alaraj M.; Park J. D. "Open circuit fault detection and localization in modular multilevel converter," 2016 North American Power Symposium (NAPS), Denver, CO, 2016, pp. 1-6.
- [113] Shen K. et al. "A modulation reconfiguration based fault-tolerant control scheme for modular multilevel converters," 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2013, pp. 3251-3255.

- [114] Picas R.; Zaragoza J.; Pou J.; Ceballos S. "Reliable Modular Multilevel Converter Fault Detection With Redundant Voltage Sensor," in IEEE Transactions on Power Electronics, vol. 32, no. 1, pp. 39-51, 2017.
- [115] Shao S.; Watson A. J.; Clare J. C.; Wheeler P. W. "Robustness Analysis and Experimental Validation of a Fault Detection and Isolation Method for the Modular Multilevel Converter," in IEEE Transactions on Power Electronics, vol. 31, no. 5, pp. 3794-3805, May 2016.
- [116] Yang Q.; et al. "SubModule failure detection methods for the modular multilevel converter," 2015 IEEE Energy Conversion Congress and Exposition (ECCE), Montreal, QC, 2015, pp. 3331-3337.
- [117] Hammond P. W. "Enhancing the reliability of modular medium-voltage drives," in IEEE Transactions on Industrial Electronics, vol. 49, no. 5, pp. 948-954, Oct 2002.
- [118] Rastogi M.; Hammond P. W.; Osman R. H. "High performance, high reliability medium voltage drives," 4th IEEE International Conference on Power Electronics and Drive Systems. IEEE PEDS 2001 - Indonesia. Proceedings (Cat. No.01TH8594), 2001, pp. 259-264 vol.1.
- [119] Ahmed N.; Ångquist L.; Antonopoulos A.; Harnefors L.; Norrga S.; Nee H. P. "Performance of the modular multilevel converter with redundant submodules," IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society, Yokohama, 2015, pp. 003922-003927.
- [120] Konstantinou G.; Pou J.; Ceballos S.; Agelidis V. G. "Active Redundant Submodule Configuration in Modular Multilevel Converters," IEEE Transactions on Power Delivery, vol.28, n°4, pp. 2333-2341, 2013.
- [121] Kang D. W.; Lee W. K.; Hyun D. S. "Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter," in IEE Proceedings - Electric Power Applications, vol. 151, no. 2, pp. 239-248, 2004.
- [122] Nademi H.; Das A.; Norum L. "An analytical frequency-domain modeling of a Modular Multilevel Converter," 2012 3rd Power Electronics and Drive Systems Technology (PEDSTC), Tehran, 2012, 86-91.
- [123] Norrga S.; Ångquist L.; Ilves K.; Harnefors L.; Nee H. P. "Decoupled steady-state model of the modular multilevel converter with half-bridge cells," 6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012), Bristol, 2012, pp. 1-6.
- [124] Norrga S.; Ångquist L.; Ilves K.; Harnefors L.; Nee H. P. "Frequency-domain modeling of modular multilevel converters," IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society, Montreal, QC, 2012, pp. 4967-4972.
- [125] Siemaszko D.; et al. "Evaluation of control and modulation methods for modular multilevel converters," The 2010 International Power Electronics Conference - ECCE ASIA -, Sapporo, 2010, pp. 746-753.
- [126] Magalhães J. L. L. "Inversor de Frequência Multinível e Robusto", (Monografia, CEFET MG), Belo Horizonte, 2019.
- [127] Tu Q., Xu Z.; Zhang J. "Circulating current suppressing controller in modular multilevel converter," IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society, Glendale, 2010, pp. 3198-3202.
- [128] Ilves K.; Antonopoulos A.; Norrga S.; Nee H. P. "A new modulation method for the modular multilevel converter allowing fundamental switching frequency", IEEE Transactions on Power Electronics, vol. 27, pp. 3482-3494, Aug 2012.
- [129] Kawamura W.; Hagiwara M.; Akagi H. "Control and Experiment of a Modular Multilevel Cascade Converter Based on Triple-Star Bridge Cells," in IEEE Transactions on Industry Applications, vol. 50, no. 5, pp. 3536-3548, Sept.-Oct. 2014.
- [130] Fujita H.; Tominaga S.; Akagi H. "Analysis and design of a DC voltage-controlled static VAR compensator using quad-series voltage-source inverters," in IEEE Transactions on Industry Applications, vol. 32, no. 4, pp. 970-978, Jul/Aug 1996.
- [131] Pérez A.; et al. "Decoupled current control of modular multilevel converter for HVDC applications," 2012 IEEE International Symposium on Industrial Electronics, Hangzhou, 2012, pp. 1979-1984.
- [132] Chaves M.; et al. "New approach in back-to-back m-level diode clamped multilevel converter modelling and direct current bus voltages balancing", IET Power Electronics 3 (4), pp 578-589.
- [133] Barros J. D.; Silva J. F.; Jesus, E. G. "Fast-Predictive Optimal Control of NPC Multilevel Converters", IEEE Transactions on Industrial Electronics, Vol. 60, No. 2, pp 619-627, 2013, February.
- [134] Patel H. S.; Hoft R. G. "Generalized Techniques of Harmonic Elimination and Voltage Control in Thyristor Inverters: Part I--Harmonic Elimination," in IEEE Transactions on Industry Applications, vol. IA-9, no. 3, pp. 310-317, May 1973

Apêndices

A. Tabelas Comparativas de Conversores e Resumos de Abordagens de Controle

A.1 Tabela Comparativa das Principais Topologias Multiníveis

Tabela A.1: Comparação das principais topologias multiníveis.

PECULIARIDADE	TOPOLOGIA				
	FLC	NPC	Cascata Ponte H (simétrico)	Cascata Ponte H (assimétrico)	DSCC
Chaves semicondutoras	$2(n-1)$	$2(n-1)$	$2(n-1)$	$4\log_3(n)$	$2(n-1)$
Diodos Grampeadores	0	$(n-1)(n-2)$	0	0	0
Capacitores do link CC	$(n-1)$	$(n-1)$	$(n-1)/2$	$\log_3(n)$	$(n-1)$
Capacitores flutuantes	$(n-1)(n-2)/2$	0	0	0	0
Necessidade de transformador	Não	Não	Apenas em algumas configurações	Apenas em algumas configurações	Opcional
Balanceamento de Tensão	Médio (via estados redundantes)	Complexo	Apenas se o link CC for separado	Apenas se o link CC for separado	Muito complexo
Modularidade	Não	Não	Sim	Sim	Sim
Ciclo de trabalho de cada chave	Diferente	Diferente	Modulação DF: Igual. Modulação DN: Diferente.	Modulação DF: Igual. Modulação DN: Diferente.	Modulação DF: Igual. Modulação DN: Diferente.
Dimensionamento	Simples	Simples	Simples	Moderado	Complexo
Escalabilidade	Baixa	Baixa	Média	Alta	Muito alta
Desgaste das Chaves	Alta	Alta	Média	Média	Baixa
Montagem	Complexa	Complexa	Média Complexidade	Média Complexidade	Mais simples (por partes)
Vantagens	Elevada redundância	Melhor desempenho <i>back-to-back</i>	Simplicidade, modularidade e poucos componentes	Elevada aplicabilidade, poucos componentes e modularidade	Alta redundância, estrutura modular e customizável
Desvantagens	Alto número de capacitores e complexo balanceamento	Número elevado de diodos e chaveamento limitado	Necessidade de fonte isolada para cada ponte H	Por ser assimétrico possui controle complexo	Complexo controle e balanceamento dos capacitores

A.2 Resumo das Principais Técnicas de Modulação DN e DF no Controle do DSCC

Tabela A.2: Principais características dos métodos de modulação SPWM com portadoras deslocadas em nível (DN) e em fase (DF).

	Técnicas de Modulação DN	Técnicas de Modulação DF
m_a	$A_{fund}/[(n - 1) * A_c]$	A_{fund}/A_c
m_f	f_c/f_{fund}	f_c/f_{fund}
Tipos	PDPWM, PODPWM e APODPWM.	PSCPWM e SCRPWM.
Principais Características	<ul style="list-style-type: none"> ▪ As funções de comutação resultantes de PD, POD e APOD são semelhantes em termos de número de comutação. ▪ A quantidade e forma de comutação resultante de diferentes portadoras em um mesmo sistema não são iguais entre si por abrangerem diferentes níveis. ▪ Geram funções de comutação altamente heterogêneas. ▪ O número de comutação para cada portadora depende de m_a e m_f. ▪ O número total de comutação para todas as portadoras de uma fase depende de m_f. ▪ Dependendo do sinal das portadoras (negativo ou positivo), a comutação ocorre em apenas um dos períodos de tempo (para o caso do DSCC, no primeiro semiciclo). No segundo semiciclo, a função de comutação é constante, uma vez que os sinais de referência não atravessarem este meio período. ▪ Dependendo de m_a, alguns pares de portadoras podem não gerar funções de comutação (casos nos quais a fundamental possui valor tão pequeno que algumas portadoras não se cruzam com ela). 	<ul style="list-style-type: none"> ▪ A quantidade e forma de comutação resultante de diferentes portadoras em um mesmo sistema são semelhantes entre si. ▪ Gera funções de comutação muito mais homogêneas do que os métodos DN. ▪ O número de comutação para cada portadora e para todas as portadoras de uma fase dependem apenas do m_f. ▪ Todas as portadoras geram funções de comutação. ▪ A comutação ocorre nos dois semiciclos da fundamental (cruzamento ininterrupto entre a portadora e a fundamental). ▪ Para um mesmo m_a e m_f, gera-se um número muito maior de comutação do que as técnicas DN. Ou seja, as técnicas DF possuem perdas por comutação mais elevadas que as técnicas DN, porém possuem maior detalhamento nos pulsos e, conseqüentemente, menor DHT nas tensões de fase e linha.
Localização dos Harmônicos principais da Tensão de fase e linha (V_{an} e V_{ab})	Próximo à f_c .	Próximo à $f_c * n$ ou $f_c * 2N$. Por exemplo, num projeto no qual se utiliza 4 portadoras, a localização dos harmônicos dominantes será $4 * f_c$. Sendo n o número de portadoras e N o número de células por braço.

A.3 Resumo das Principais Técnicas de Controle do DSCC

Tabela A.3: Controle em malha fechada *versus* malha aberta para o DSCC.

ABORDAGEM		DESCRIÇÃO	EM:
MALHA ABERTA	Estimativa da Energia Armazenada	Proposta por [99], a energia total armazenada nos capacitores dos submódulos é controlada através do controle da corrente de circulação. Esta estratégia se enquadra como “malha aberta” pelo fato de se estimar o valor dos capacitores dos submódulos mediante o ângulo de potência da carga e pelo fator limitante k_{max} . Na presente dissertação esta abordagem foi utilizada num controle em malha fechada.	[99], [125].
	Controle da Potência de Saída em Associação Com Balanceamento dos Capacitores	Neste tipo de abordagem, a tensão de saída de referência e o balanceamento da tensão dos capacitores são obtidos através de um algoritmo complexo. Esta complexidade se deve à não existência de um controle sobre a energia total armazenada nas células. Esta abordagem apresenta um comportamento livre da corrente de circulação por não possuir um controle voltado para ela. Isso provoca uma elevada e descontrolada parcela CA nesta corrente. Além disso, acarreta maior valor eficaz nas correntes dos braços, maior perda nos indutores de proteção e elevadas faixas de oscilação nos capacitores das células.	[29], [45], [81], [85], [127],[128].
MALHA FECHADA	Controle Baseado em Portadoras Deslocadas em Fase (Técnicas DF)	Este tipo de técnica utiliza portadoras deslocadas em fase. Nela, o número de portadoras é diretamente proporcional (em 1:1) ao número de células do DSCC. Além disso, utiliza-se um controle em malha fechada. Nele, à cada instante, por meio de sensores instalados em todas as células, recolhe-se a contribuição de tensão de cada capacitor. Após isso, calcula-se a média da soma destas contribuições de tensão para as $2N$ células por fase e a compara com o valor de tensão ideal dos submódulos a fim de se obter o sinal de saída estipulado. Esta abordagem aplica tensões de referência individuais em cada célula. Além disso, permite inúmeras modificações, desde a inserção de um controle das correntes de circulação, quanto de um controle de faltas. Além disso, é adaptável ao uso de técnicas e topologias redundantes do DSCC. Por este motivo, foi utilizada neste trabalho.	[41], [48], [50], [53], [55], [69], [78], [102], [103], [113], [129].
	Controle do Armazenamento de Energia	Nesta abordagem, a energia armazenada total no conversor é controlada através de monitoramento em tempo real das tensões obtidas nos capacitores em malha fechada. O balanceamento de tensão nos braços do conversor é alcançado com a inserção de um componente senoidal na corrente de circulação. Esta corrente, por sua vez, é controlada pela tensão obtida nos indutores dos braços do conversor.	[81], [130], [103].

	<p>Balaceamento da Tensão dos Capacitores de Forma Centralizada</p>	<p>É baseado no princípio de carga e descarga dos capacitores. Neste controle, considera-se uma distribuição igualitária de tensão entre os capacitores dos submódulos de acordo com a tensão de referência em função da tensão de alimentação do conversor. Além disso, é necessária a inserção de níveis de tensão redundantes. A tensão dos capacitores é obtida através de um algoritmo que aciona os módulos adequados para garantir a tensão de referência. Utiliza-se comumente em associação com esta abordagem a modulação Sigma-Delta. Esta, por sua vez, auxilia na obtenção do nível de tensão pretendido e na estimação do número de módulos que devem ser ligados em cada um dos braços. Esta abordagem o sobrenome “centralizado” pelo fato de seu controle atuar sondando a tensão de todos os capacitores e emitindo os sinais de comando para todas as chaves estáticas.</p>	<p>[127], [131-132].</p>
	<p>Balaceamento da Tensão dos Capacitores de Forma Descentralizada</p>	<p>Nesta abordagem, as células são autônomas, ou seja, cada uma possui seu próprio controle e gera seus próprios estímulos para os semicondutores. Desse modo, trata-se de um controle descentralizado. É utilizado um algoritmo de controle, que pode ser visto em [96] em associação com a modulação Sigma-Delta. O objetivo é garantir a obtenção de diferentes níveis de tensão, bem como equilibrar os capacitores utilizando como parâmetro comparativo apenas uma célula.</p>	<p>[96], [133].</p>
	<p>Abordagem Generalizada em Malha Fechada</p>	<p>Trata-se de um método genérico. Nele, insere-se um pouco de todas as abordagens citadas acima. Neste método, pode-se obter o balaceamento de tensão dos capacitores através da inserção de um componente CC e CA extra na corrente de circulação de referência ou através da modificação da potência ativa de referência. Caso a média total de tensão seja superior à referência, será demandada uma quantidade maior de potência da saída e vice-versa. Isto acarretará uma oscilação na potência de referência e um componente harmônico de terceira ordem na corrente de saída [90].</p>	<p>[71], [75], [98], [100-101], [127], [134].</p>

B. Projetos do DSCC Para Diferentes Faixas de Potência

B.1 Dimensionamento e Simulação de Projetos de DSCC's Trifásicos com 24 Células Para 9,5 kW, 1,15 kW e 58 W Utilizando o Controle PI e Modulação PSCPWM

Para o primeiro projeto, estipulou-se um sistema de 9,5 kW, $V = 620 V$, $I = 8,8 A$, e fator de potência da carga como 0,9.

Pode-se seguir o passo a passo discutido no capítulo 3 para todos os projetos implementados neste capítulo. Desse modo:

$$P = 620 * 8,8 * \sqrt{3} = 9,5 kW \quad (B.1)$$

Uma vez calculada a impedância de base e os parâmetros em pu estipulados para os reatores de proteção 0,075pu e para os indutores da carga 0,037pu, obtém-se a indutância destes dois componentes para o projeto do DSCC. Portanto, de acordo com a equação 3.36 e os valores estipulados para a tensão e corrente RMS do sistema, calcula-se a impedância de base:

$$Z_b = (620)^2 / (9,5 * 10^3) = 40,46 \Omega \quad (B.2)$$

Com a impedância de base, pode-se calcular a reatância de proteção nominal do DSCC. Portanto, substituindo $X_{L_{Brpu}}$ e Z_b por 0,075 e 40,46 Ω , respectivamente, obtém-se:

$$X_{L_{Br}} = X_{L_{Brpu}} * Z_b = 2,832 \Omega \quad (B.3)$$

Calcula-se a indutância de proteção (L_{Br}) através da Equação 3.38 com a substituição de $X_{L_{Br}}$ por (B.3) e f por 60Hz. Portanto, obtém-se:

$$2,832 = 2\pi(60)L_{Br} \quad (B.4)$$

$$L_{Br} = 7,5 mH \quad (B.5)$$

Uma vez estipulado 0,037pu para a reatância indutiva da carga do DSCC, é possível iniciar o dimensionamento da indutância e resistência da carga.

Substituindo $X_{L_{carga pu}}$ e Z_b por 0,037 e 40,46, obtém-se a reatância indutiva da carga, como pode ser visto abaixo.

$$X_{L_{carga}} = 0,037 * 40,46 = 1,497\Omega \quad (B.6)$$

Após o cálculo de $X_{L_{carga}}$, pode-se calcular a indutância da carga (L_{carga}) através da Equação 3.38, juntamente com a substituição de $X_{L_{carga}}$ por (D.6) e a frequência do lado CA (f) por 60Hz. Portanto, obtém-se:

$$1,497 = 2\pi(60)L_{carga} \quad (B.7)$$

$$L_{carga} = 4mH \quad (B.8)$$

Para calcular a resistência da carga, basta analisar o triângulo de impedâncias. Os parâmetros θ e $X_{L_{carga}}$ já foram previamente calculados, portanto, tem-se:

$$tg(\theta) = X_{L_{carga}}/R_{carga} \quad (B.9)$$

Substituindo $X_{L_{carga}}$ e θ obtém-se a resistência da carga, dado como:

$$tg(25,84^\circ) = 1,497/R_{carga} \quad (B.10)$$

$$R_{carga} = 3,1\Omega \quad (B.11)$$

Uma vez estipulados os valores da indutância de proteção e da resistência da carga, pode-se calcular o valor dos capacitores dos submódulos do DSCC baseado na exigência de energética e angulação de potência da carga, como proposto por [99].

Portanto, mediante a análise gráfica apresentada na Figura 2.12 (b), obtém-se a capacitância dos submódulos levando-se em consideração o armazenamento de energia dos braços para diferentes valores de k_{max} e índice $m_a = 1$.

Analisando a Figura 3.3 (b) nota-se que, para o k_{max} estipulado ($k_{max} = 1,05$), a capacidade de energia nominal necessária nos capacitores para uma angulação de carga de $25,84^\circ$ é de $33 \text{ kJ}/MVA$. De modo que, em termos de kJ por MVA , para transferir os $9,5 \text{ kVA}$, estipulados no sistema, é necessária uma energia total de 314 J o que, por sua vez, corresponde à, aproximadamente, 52 J por braço do DSCC. Portanto, $E_{nom} = 52 \text{ J}$.

Como foi estabelecido para o DSCC do presente projeto uma tensão de linha de 620V , a tensão de fase (v_{an}) em valores RMS e de pico serão, respectivamente, 358 V e 506 V . A tensão de pico a pico de v_{an} , por sua vez, será de 1 kV . Logo, a tensão disponível no barramento CC (V_{dc}) deve ser de 1 kV .

Uma vez estipulados $E_{nom} = 52 \text{ J}$, $N=4$ e $V_{dc} = 1\text{kV}$, pode-se, através da Equação 3.21, calcular a capacitância mínima para o DSCC em questão. O cálculo da capacitância para um DSCC que possui uma carga de $3,1 \Omega$ está apresentado na Equação B.12.

$$C = [(2) * (4) * (52)]/[(1000)^2] = 0,42 \text{ mF} \quad (B.12)$$

Vale ressaltar que o projeto do DSCC impõe tensão e a amplitude de corrente obtida na saída do conversor, sem a inserção de nenhuma resistência, foi 110 A . Portanto, para a obtenção da corrente nominal do sistema é necessária a inserção de um resistor de 39Ω na saída do DSCC. Isto, por sua vez, altera o fator de potência da carga para $0,99$, o que modifica a angulação da carga para $\theta = 8,11^\circ$.

Portanto, analisando a Figura 3.3, verifica-se que a capacidade de armazenamento de energia necessária para os capacitores do submódulo do atual projeto é $50 \text{ kJ}/MVA$, o que implica em $E_{nom} = 80 \text{ J}$. Portanto, a capacitância dos condensadores dos submódulos será $0,65 \text{ mF}$ (aproximadamente, $0,7 \text{ mf}$).

Este mesmo passo a passo pode ser utilizado para quaisquer projetos. Na tabela B.1 é mostrado os parâmetros para 3 projetos de DSCC com diferentes faixas de potência utilizando a modelagem acima.

Um de modo alternativo para alteração da faixa de potência de um sistema é a partir da modificação do valor do barramento CC de um projeto pré-definido. Isso é devido ao fato de modificações no valor de tensão do barramento CC alterar, proporcionalmente, a tensão de fase do sistema numa razão de 1:1.

Com a alteração de $v_{a,b,c}$, os parâmetros v_c , V e I também se modificam diretamente. Com isso, pode-se ajustar a faixa de tensão nominal de maneira prática, restando apenas o cálculo da capacitância mínima dos submódulos e o cálculo dos indutores de proteção para finalização do projeto.

Tabela B.1: Parâmetros para a simulação de diferentes projetos de DSCC.

Parâmetros	Projeto 1	Projeto 2	Projeto 3	Parâmetros do Controle	
P	9,5 kW	1,16 kW	64 W	K_1	0.5
V	620 V	120 V	37 V	K_2	100
I	8,8 A	5,6 A	1 A	K_3	1.7
V_{dc}	1 kV	200 V	60 V	K_4	200
f	60 Hz	60 Hz	60 Hz	K_5	0,001
m_f	81	71	61	v_C^*	$V_{dc}/4$
f_c	$f \cdot m_f = 4,86 \text{ kHz}$	4,26 kHz	3,66 kHz	N	4
f_{eq}	$8 \cdot f_c = 38,88 \text{ kHz}$	34,08 kHz	29,28 kHz		
L_{Br}	8 mH (0,075 pu)	5 mH (0,15 pu)	6 mH (0,1 pu)	Parâmetros da Carga	
C	0,7 mF	1 mF	0,65 mF	R_{Carga_1}	40 Ω
H	50 ms	33 ms	33 ms	R_{Carga_2}	12 Ω
Dead time	3 μ s	3 μ s	3 μ s	R_{Carga_3}	20 Ω
$v_{a,b,c}^*$	500 V	100 V	30 V	L_{Carga}	5 mH

Os resultados das simulações dos DSCC's projetados para 9,5 kW, 1,16 kW e 64 W podem ser vistos nas Figuras B.1 à B.3, respectivamente.

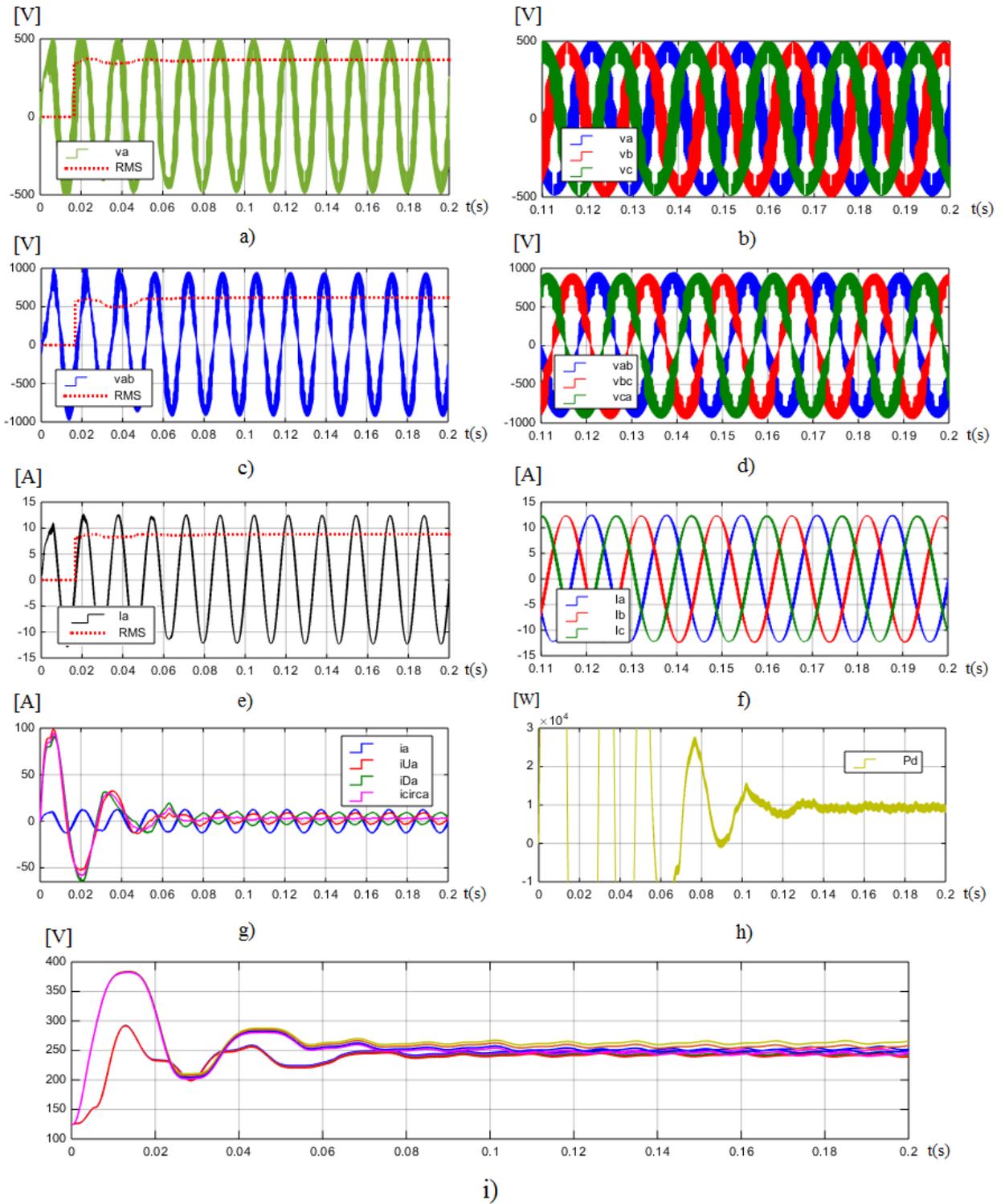


Figura B.1: Simulação de DSCC de 24 células para a potência de 9,5 kW: (a) v_a ; (b) $v_{a,b,c}$; (c) v_{ab} ; (d) $v_{ab,bc,ca}$; (e) I_a ; (f) $I_{a,b,c}$; (g) I_{Ua}, I_{Da} e I_{circa} ; (h) P_d ; (i) Balanceamento de tensão dos capacitores da fase a .

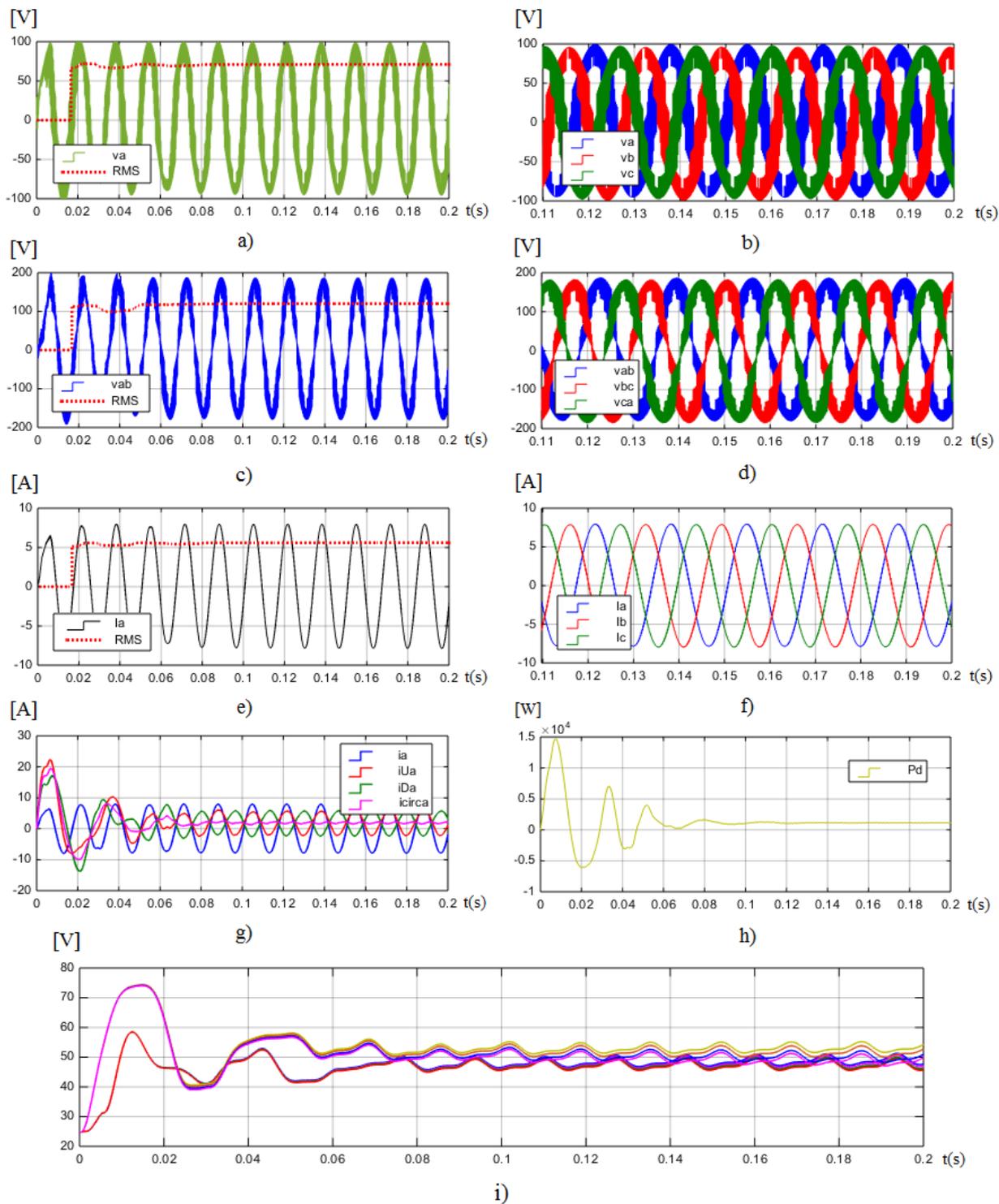


Figura B.2: Simulação de DSCC de 24 células para a potência de 1,16 kW: (a) v_a ; (b) $v_{a,b,c}$; (c) v_{ab} ; (d) $v_{ab,bc,ca}$; (e) I_a ; (f) $I_{a,b,c}$; (g) I_{Ua}, I_{Da} e I_{circ_a} ; (h) P_d ; (i) Balançamento de tensão dos capacitores da fase a .

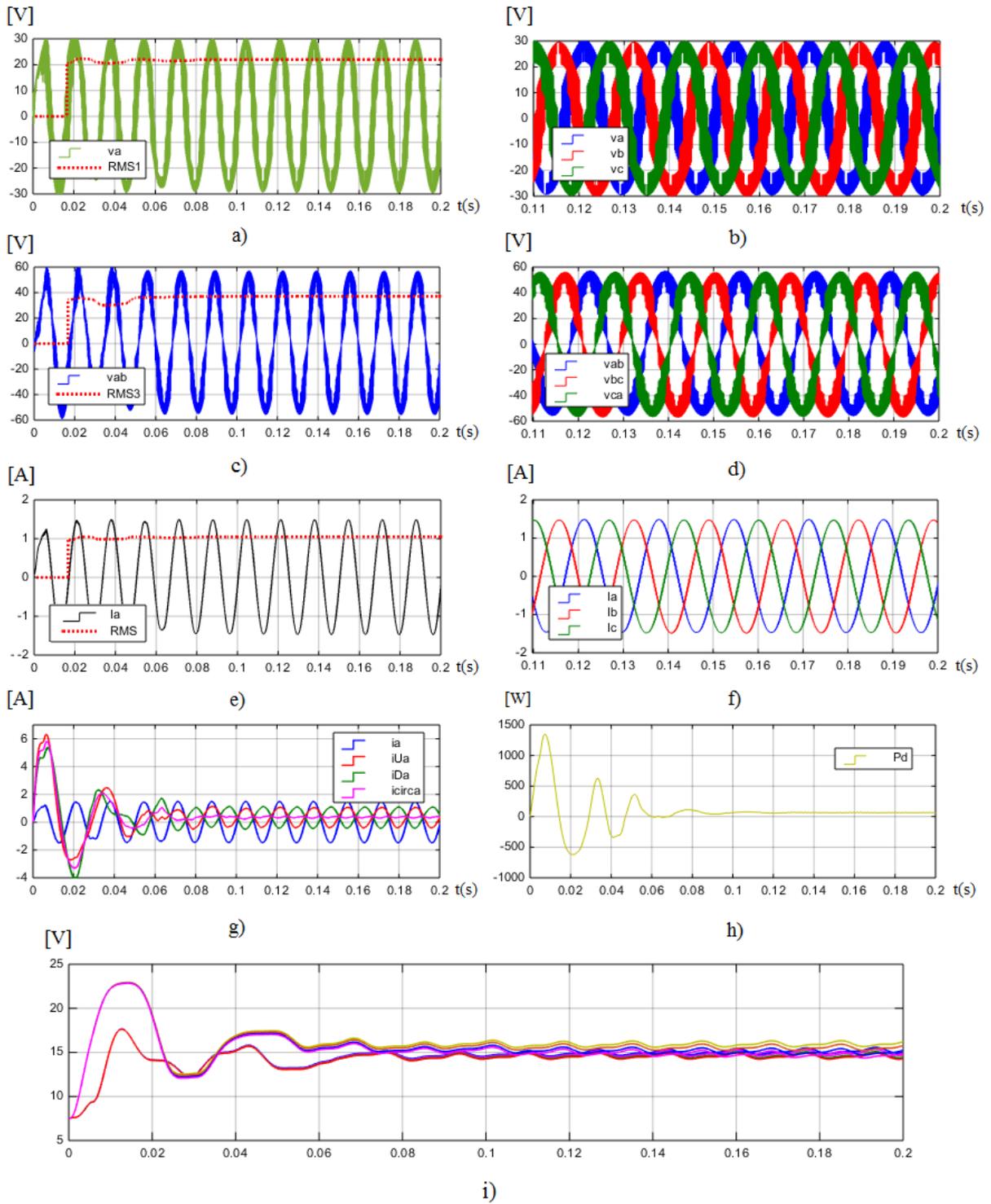


Figura B.3: Simulação de DSCC de 24 células para a potência de 64 W: (a) v_a ; (b) $v_{a,b,c}$; (c) v_{ab} ; (d) $v_{ab,bc,ca}$; (e) I_a ; (f) $I_{a,b,c}$; (g) I_{Ua} , I_{Da} e I_{circa} ; (h) P_d ; (i) Balanceamento de tensão dos capacitores da fase a .

C. Implementações Computacionais

C.1 Implementação no Matlab/Simulink do DSCC de 5 e 9 Níveis Para Estudo e Desenvolvimento das Estratégias Multiportadoras SPWM

Nesta Seção, pode-se visualizar as montagens feitas no decorrer deste trabalho desde o modelo inicial, onde focou-se estudar as estratégias SPWM multiportadoras seguido do modelo com a inserção do controle das correntes circulantes e do balanceamento dos capacitores até a montagem final, que utiliza o controle sob faltas com a alteração da onda de referência e sem alterá-la.

Na Figura C.1 pode-se analisar a montagem inicial, citada no Capítulo 2 e 3. Nela, consta a implementação de um DSCC de 5 níveis ainda sem o controle de corrente de circulação para análise e teste das técnicas de modulação multiportadoras utilizando fontes de tensão no lugar das capacitâncias (modelo ideal). A ilustração da célula 1 do modelo inicial proposto pode ser visto na Figura C.2. Os sub-blocos correspondentes à cada técnica de modulação a ser utilizada podem ser vistas na Figura C.3.

Vinicius Mainho Silva
 APLICAÇÃO DO CONVERSOR HALF BRIDGE NUM CONVERSOR MULTINÍVEL MCC DE 5 NÍVEIS UTILIZANDO MODULAÇÃO FVM

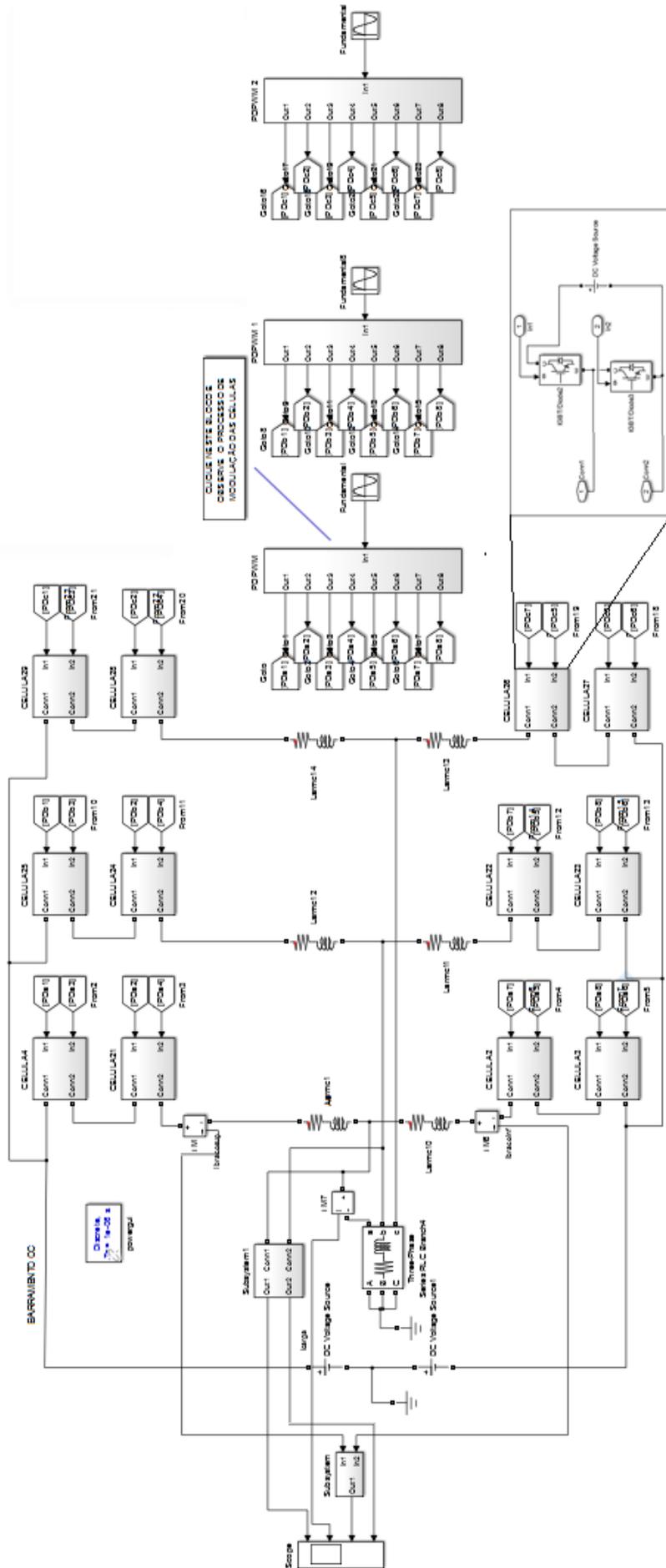


Figura C.1: Implementação do módulo básico de um DSC trifásico de 5 níveis (2 células por braço) com as 5 técnicas SPWM para um modelo ideal utilizando fontes de tensão CC em lugar dos capacitores dos submódulos e sem a inserção do controle de corrente circulante e balanceamento de tensão. Considerou-se um barramento CC de 200V, submódulos abastecidos com 50V, $m_f = 41$, $m_a = 1$, $f_{und} = 60\text{Hz}$, $L_{br} = 1\text{mH}$, $R_{br} = 10\Omega$, carga RL com $R_{carga} = 30\Omega$ e $L_{carga} = 5\text{mH}$.

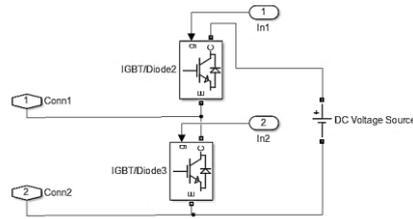


Figura C.2: Célula 1 (submódulo *Chopper*) do DSCC da Figura C.1.

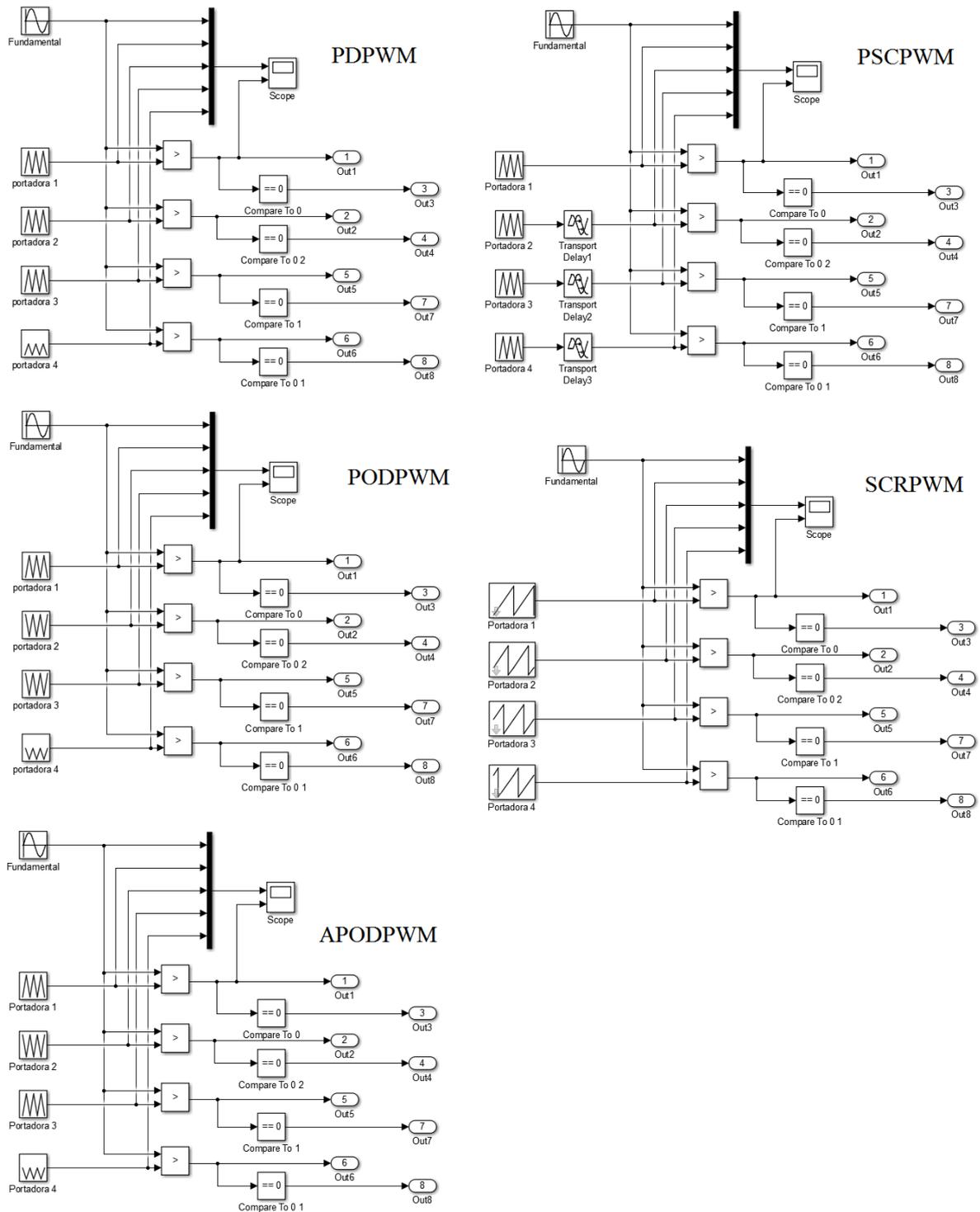


Figura C.3: Sub-blocos PDPWM, PODPWM, APODPWM, PSCPWM e SCRPWM da Figura C1.

Na Figura C.4 pode-se ver o desenvolvimento da estratégia de controle para o protótipo a ser utilizado, que possui 4 células por braço e 17 níveis de tensão de linha e 9 níveis de tensão de fase. Nela, investigou-se as técnicas PDPWM (Figura C.4 (a)), PODPWM (Figura C.4 (b)), APODPWM (Figura C.4 (c)), PSCPWM (Figura C.4 (d)) e SCRPWM (Figura C.4 (e)) ainda sem a inserção do controle PI, investigada no Capítulo 3, com formas de ondas ilustradas na Figura 3.11.

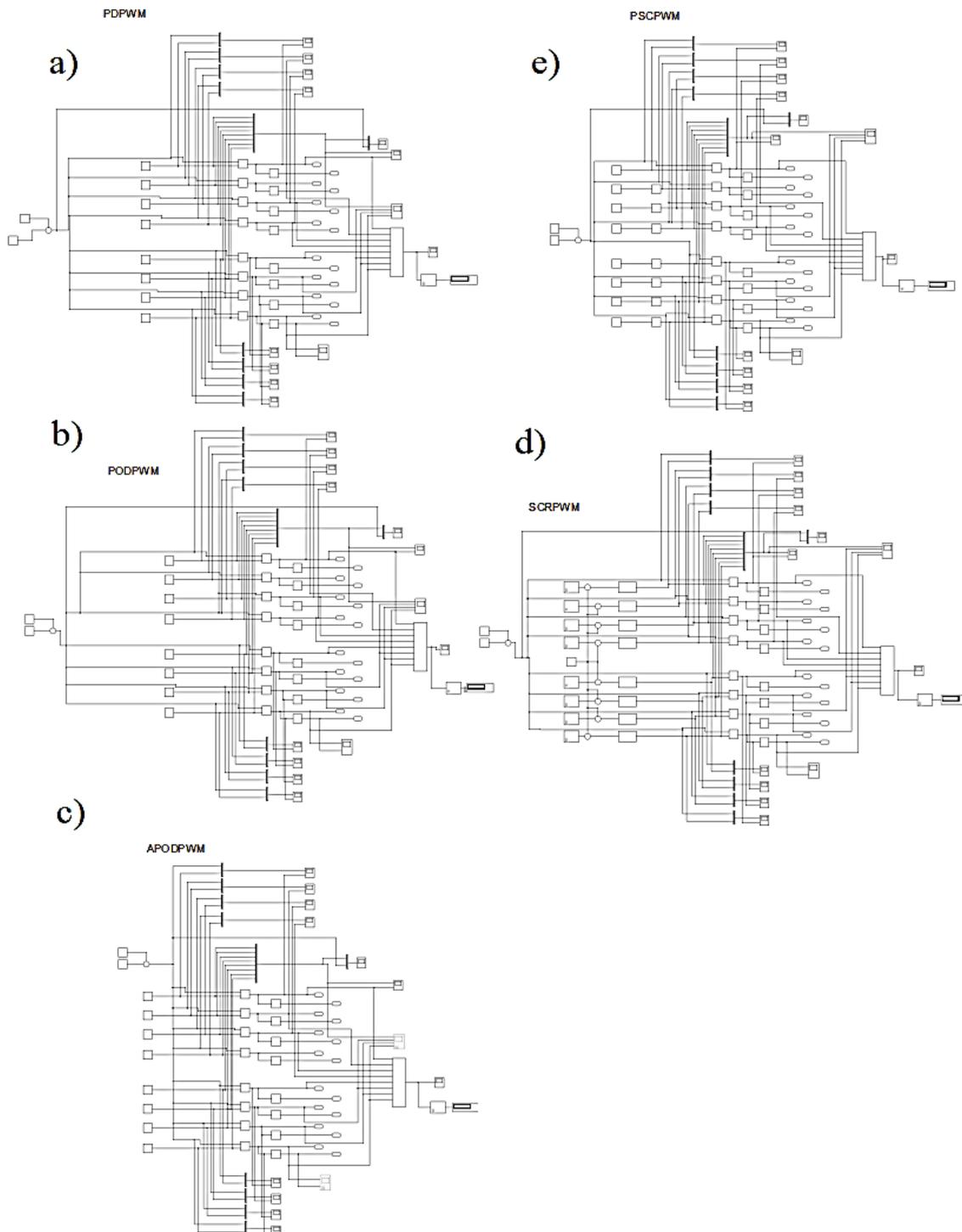


Figura C.4: Técnicas de modulação multiportadoras PDPWM, PODPWM, APODPWM, PSCPWM e SCRPWM para conversor DSCC de 9 níveis de tensão de fase e 17 níveis de linha para ser implementado na montagem final. Montagem sem a inserção do controle de corrente e de balanceamento de tensão.

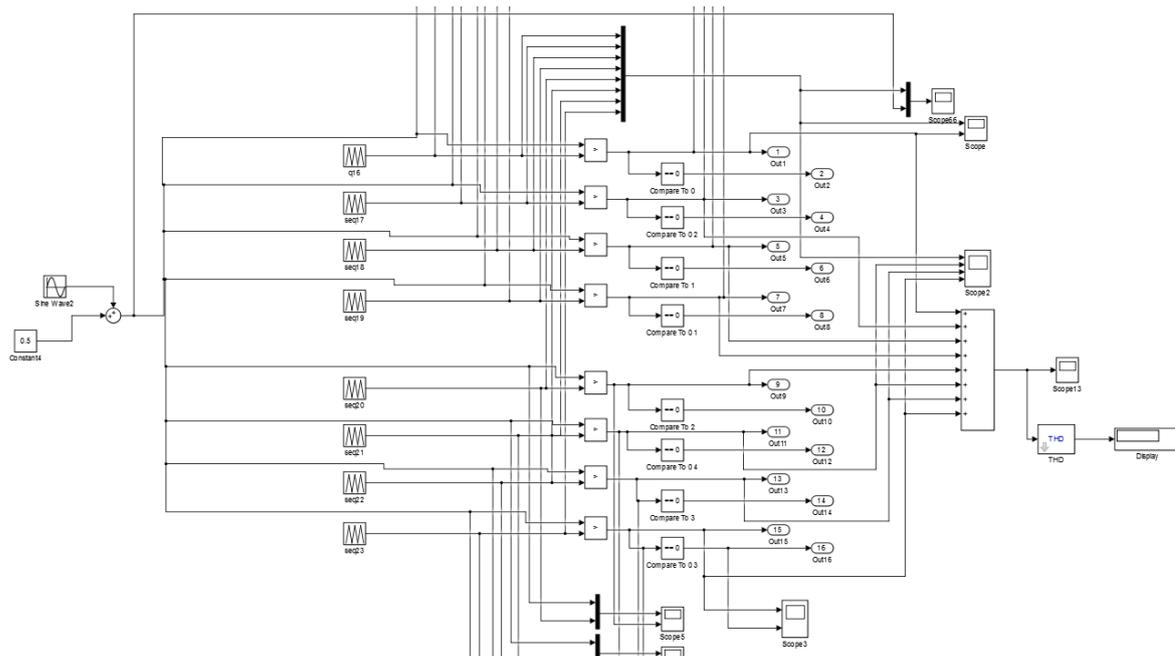


Figura C.5: Imagem ampliada da lógica utilizada na montagem da estratégia PDPWM (esquema (a)) da Figura C.2.

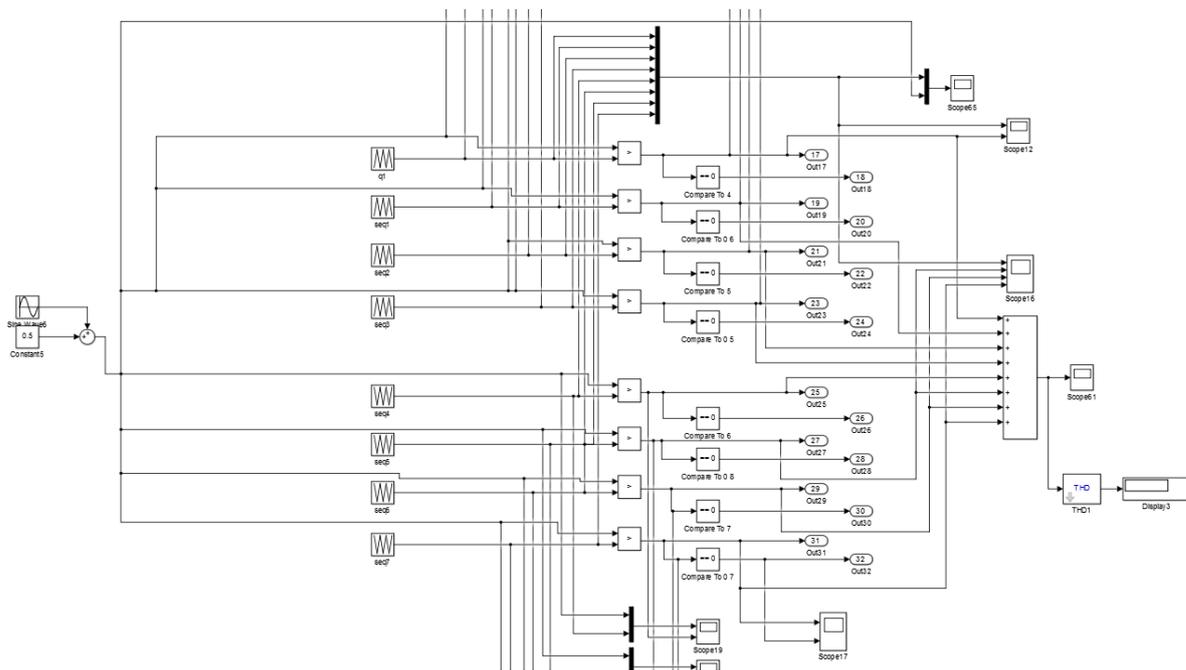


Figura C.6: Imagem ampliada da lógica utilizada na montagem da estratégia PODPWM (esquema (b)) da Figura C.2.

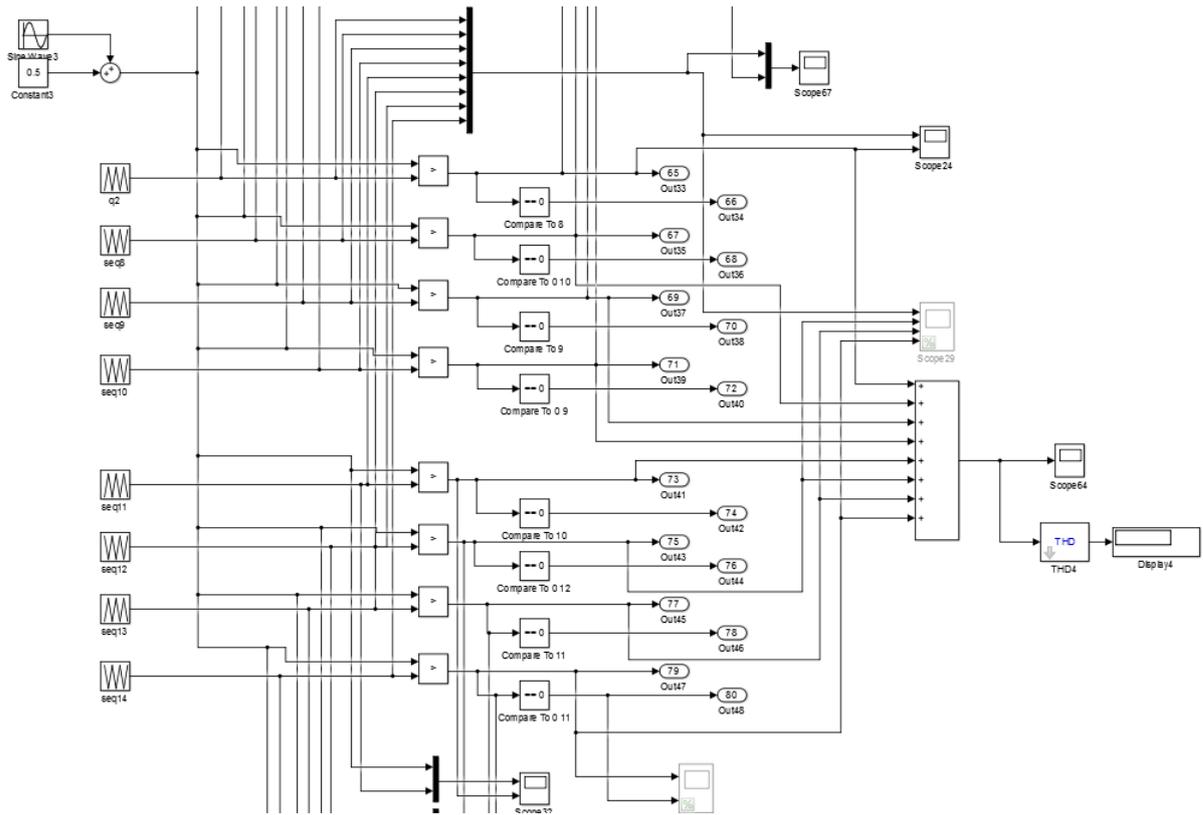


Figura C.7: Imagem ampliada da lógica utilizada na montagem da estratégia APODPWM (esquema (c)) da Figura C.2.

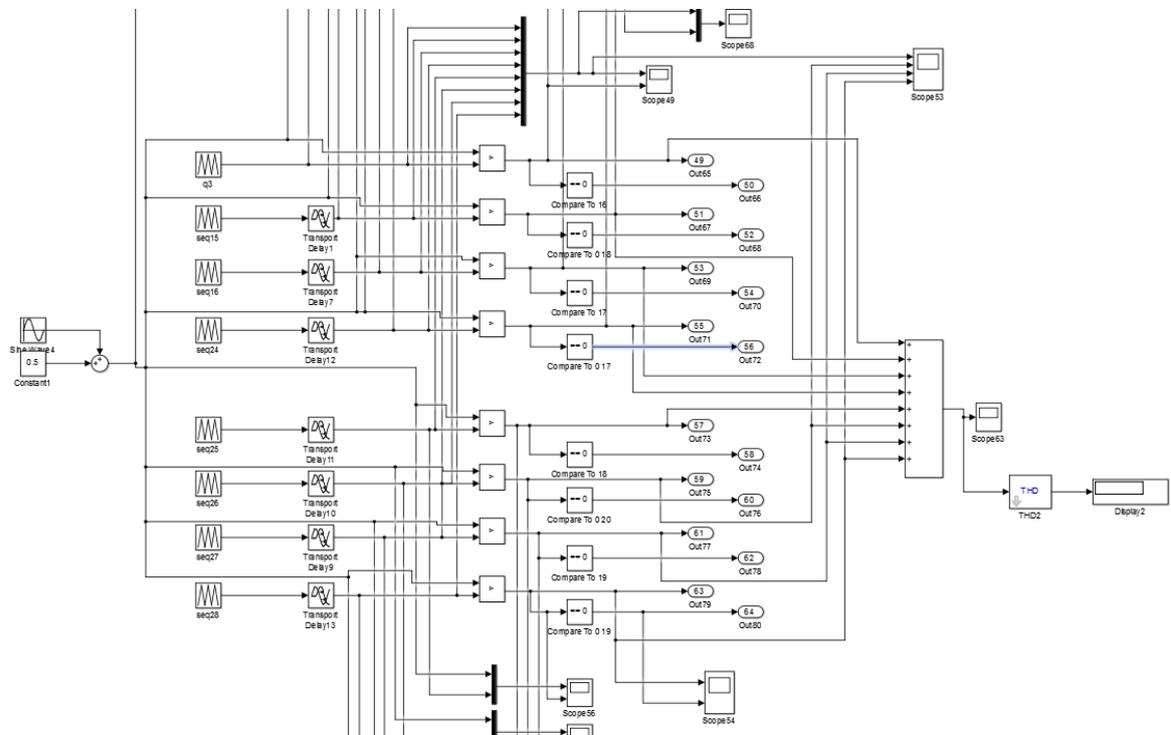


Figura C.8: Imagem ampliada da lógica utilizada na montagem da estratégia PSCPWM (esquema (d)) da Figura C.2.

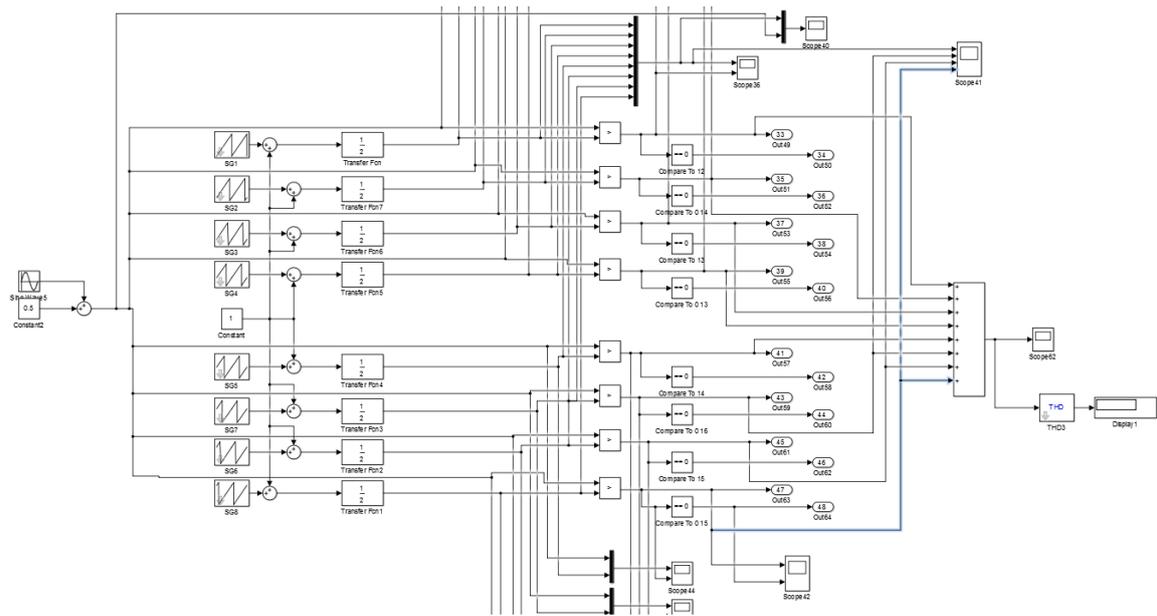


Figura C.9: Imagem ampliada da lógica utilizada na montagem da estratégia SCRPWM (esquema (b)) da Figura C.2.

As parcelas (g), (h), (j) e (k) não serão expandidas por serem referentes às fases *b* e *c* do DSCC, possuindo assim a mesma constituição da fase *a* (diagramas expostos em (f) e (i)).

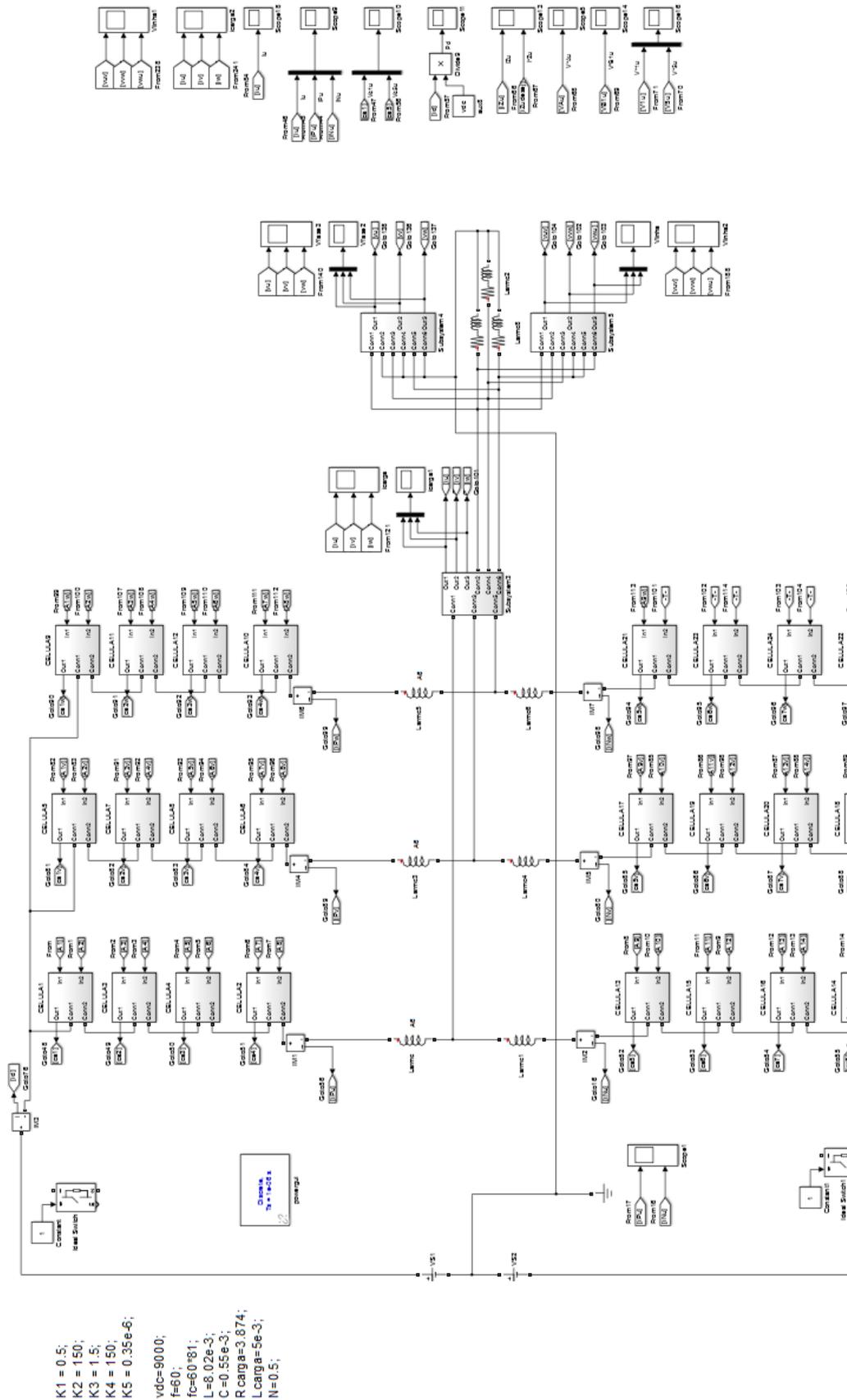


Figura C.10: Parcela (a), (b) e (c) da Figura C.10.

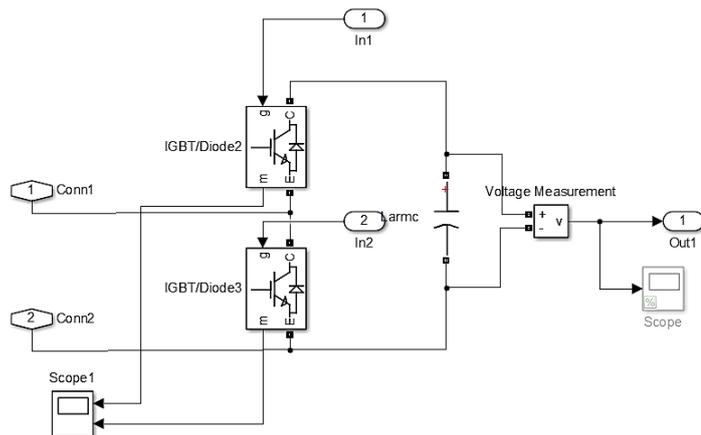


Figura C.11: Submódulos Meia Ponte, pertencentes ao DSCC da Figura C.11.

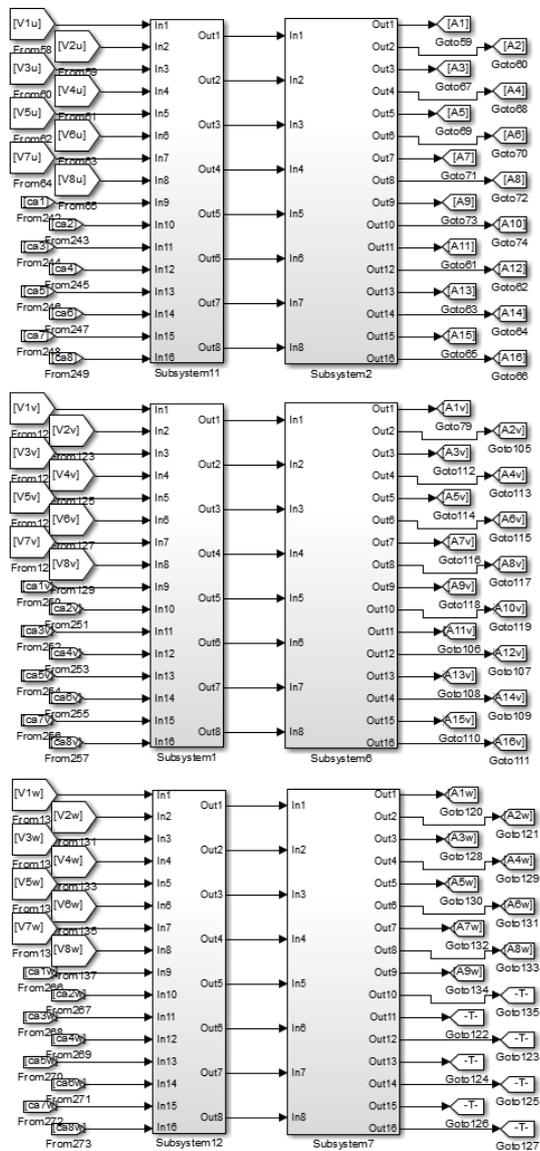


Figura C.12: Parcela (d) da Figura B.1: Aquisição dos sinais de controle provenientes do controle da média (V_{ju}) e da tensão sobre os capacitores (C_{aj}).

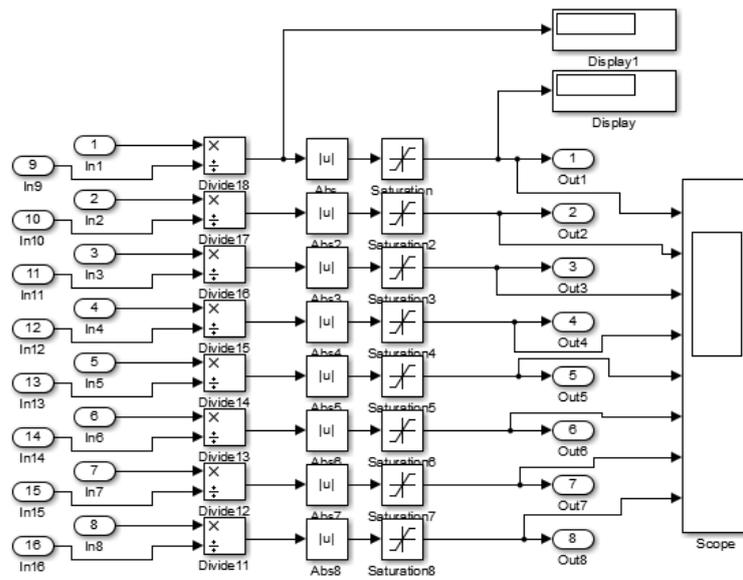


Figura C.13: Sub-bloco (I) Figura B.4.

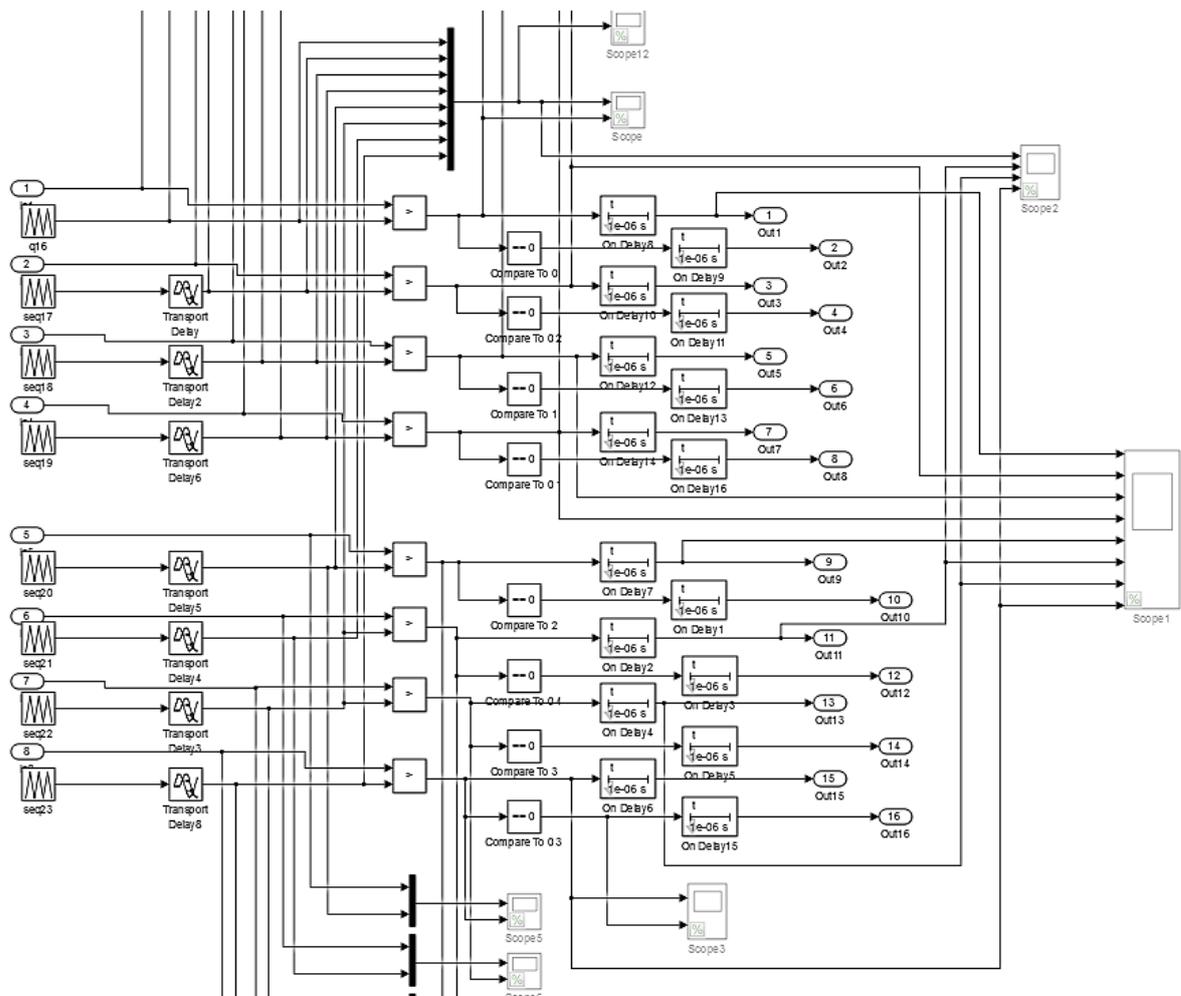


Figura C.14: Sub-bloco (II) Figura B.4: Setor ocorre a modulação PSCPWM seguido da inserção do tempo morto de 1 microssegundo.

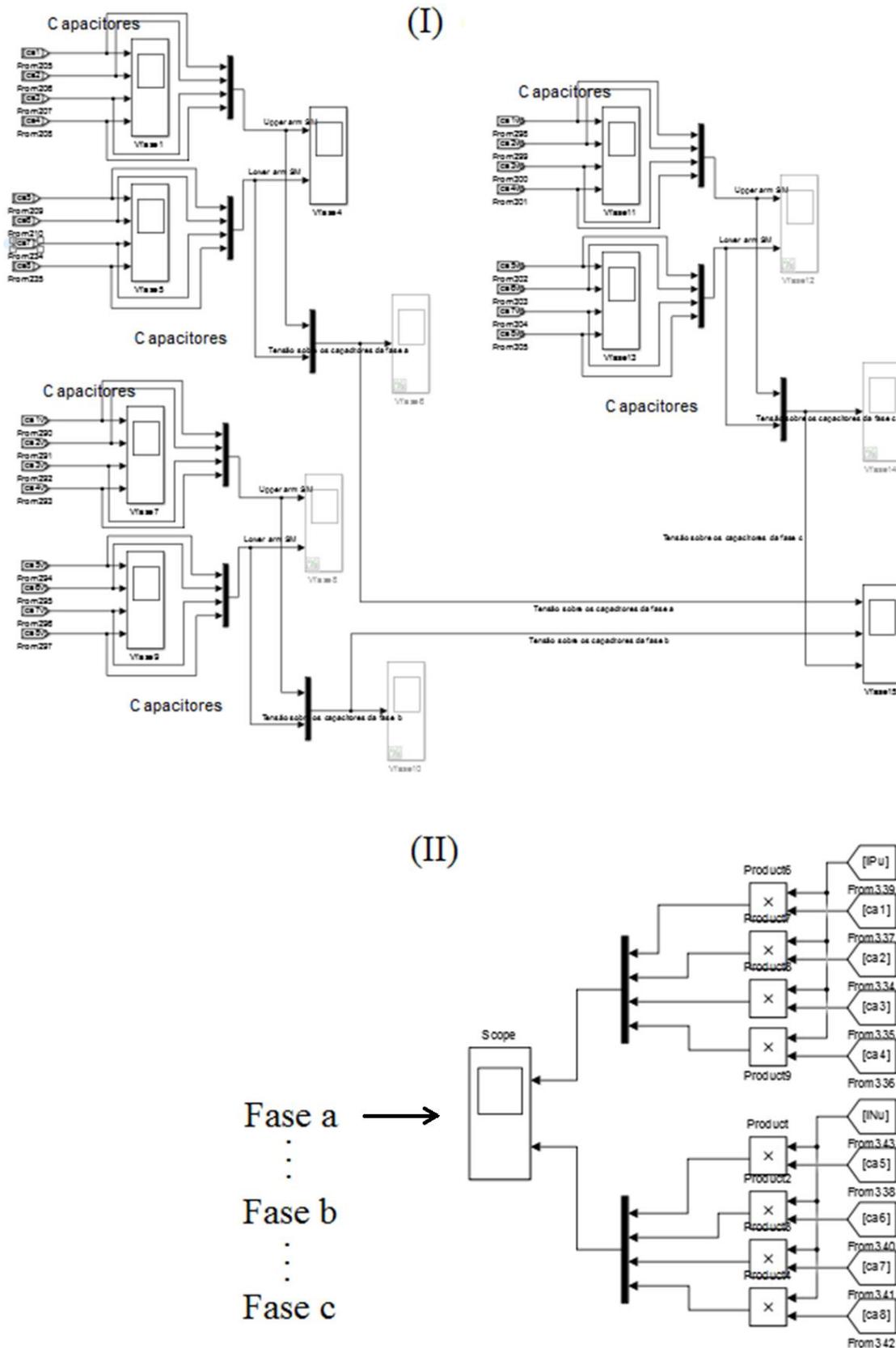


Figura C.15: Setor (e) da Figura B.1: (I) Coleta da tensão e monitoramento do balanceamento dos capacitores. (II) Coleta e monitoramento da energia dos capacitores dos submódulos da fase *a*.

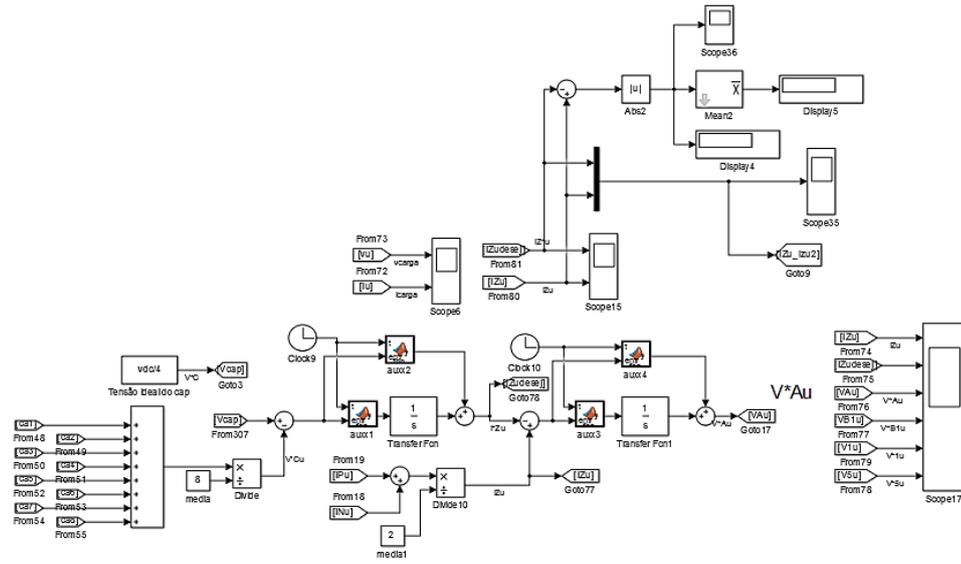


Figura C.16: Parcela superior de (f) da Figura B.1 (Controle da média).

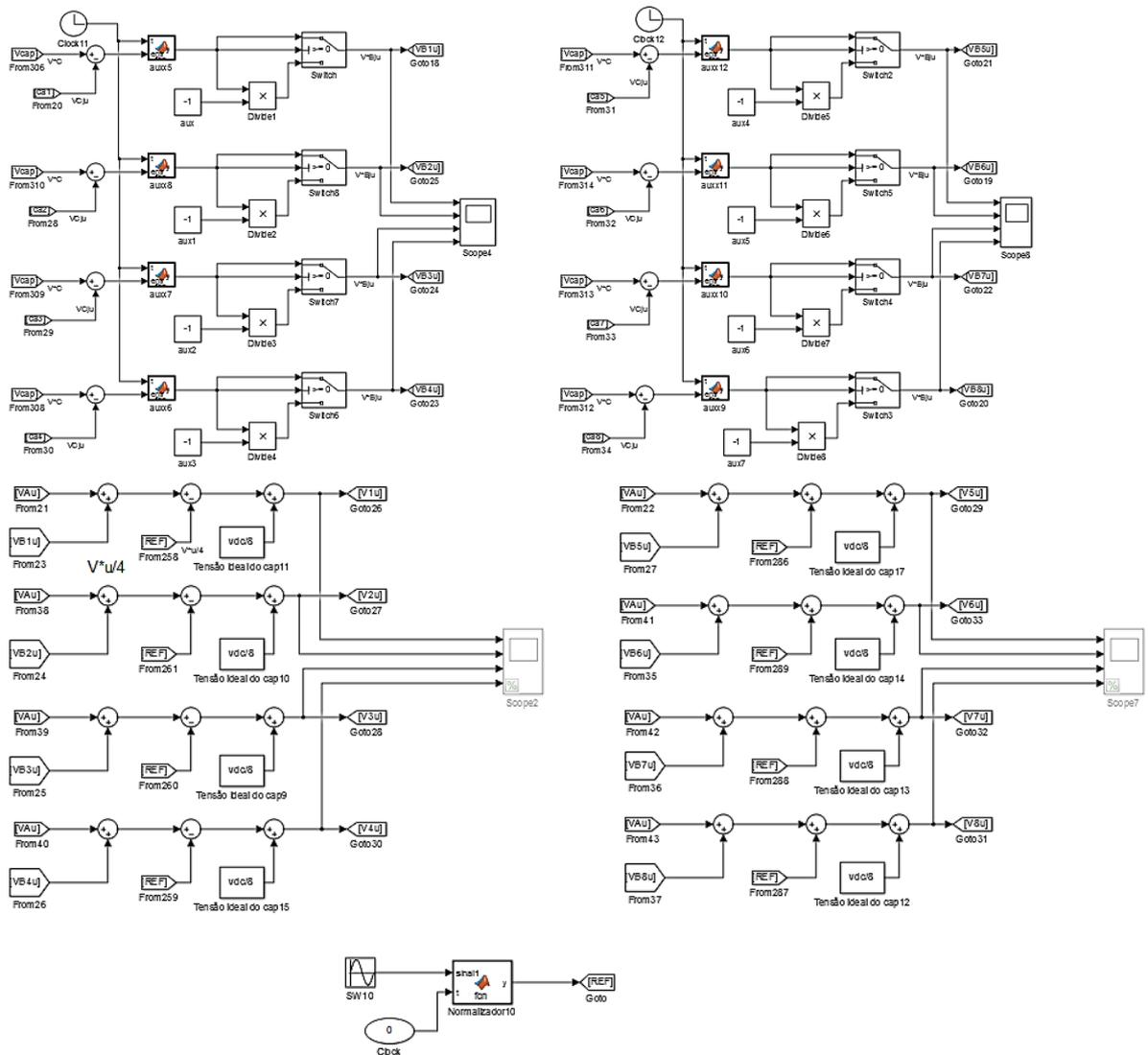


Figura C.17: Parcela inferior de (f) da Figura B.1 (Controle do balanceamento). Parte inferior: Sinal de referência (parcela (g) da Figura B.1)

C.3 Implementação no Matlab/Simulink do DSCC de 9 Níveis com a estratégia PSCPWM Utilizando Controle da Corrente de Circulação e Balanceamento dos Capacitores Para Um Modelo em Alta Potência (1 MVA) Sob Condição de Faltas nos Submódulos.

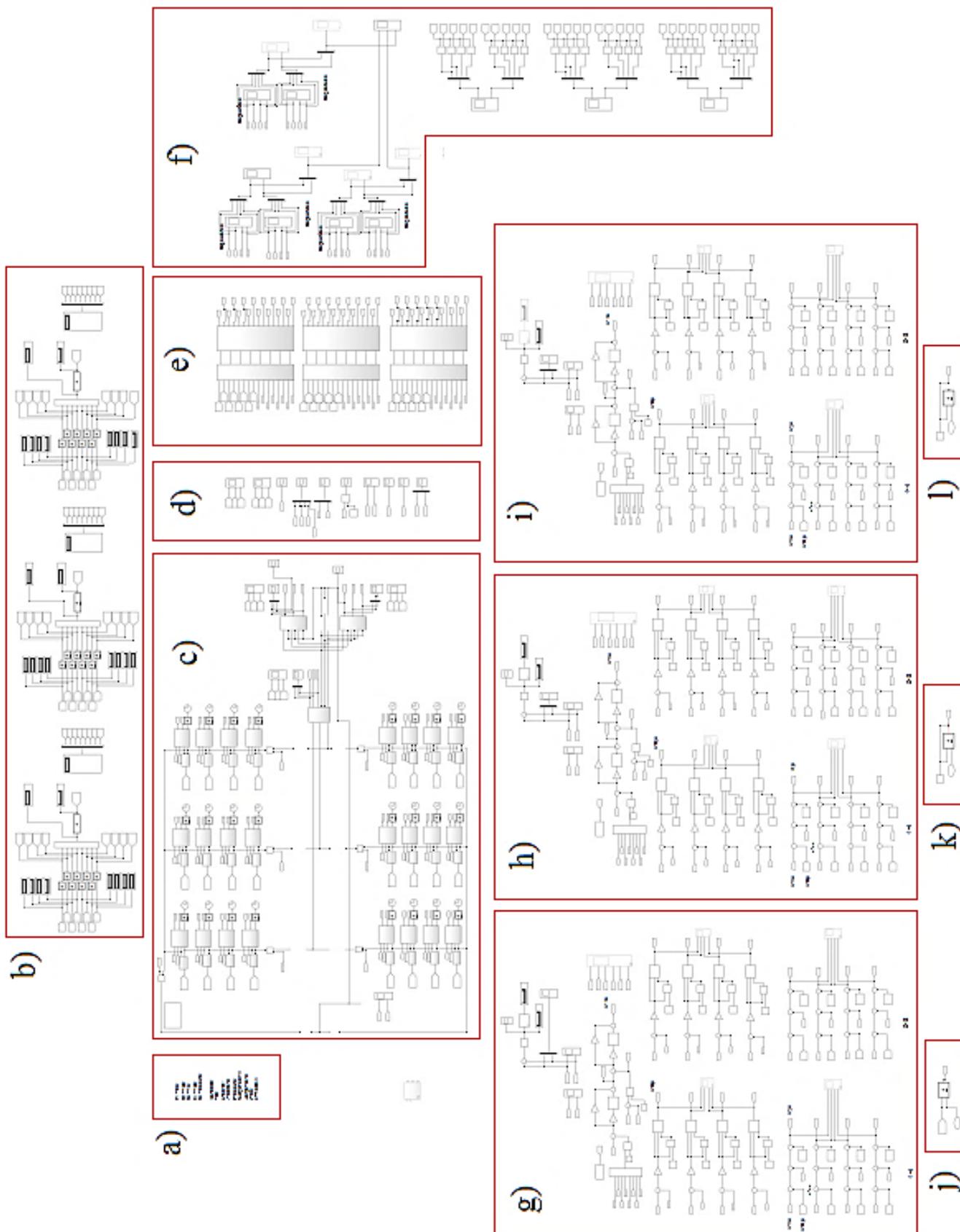


Figura C.18: Sistema DSCC trifásico utilizando 4 células por braço com sistema de detecção correção de faltas; (a) parâmetros de simulação, (b) sistema de detecção de faltas e acionamento das chaves de *bypass* (c) *Link CC* com o DSCC com 4 submódulos por braço juntamente com a saída para a carga trifásica e chaves de *bypass*, (d) blocos de análise e triagem dos sinais da corrente de circulação, potência e tensão sobre os capacitores, (e) normalização da tensão dos capacitores com o sinal de controle v_{ja} e aplicação da modulação SPWM sobre as células, (f) coleta da tensão e energia dos os capacitores e monitoramento do balanceamento, (g-i) bloco do controle da média e do balanceamento do sistema para as fases a, b e c, respectivamente (j-l) controle da onda de referência para a fase a, b e c, respectivamente.

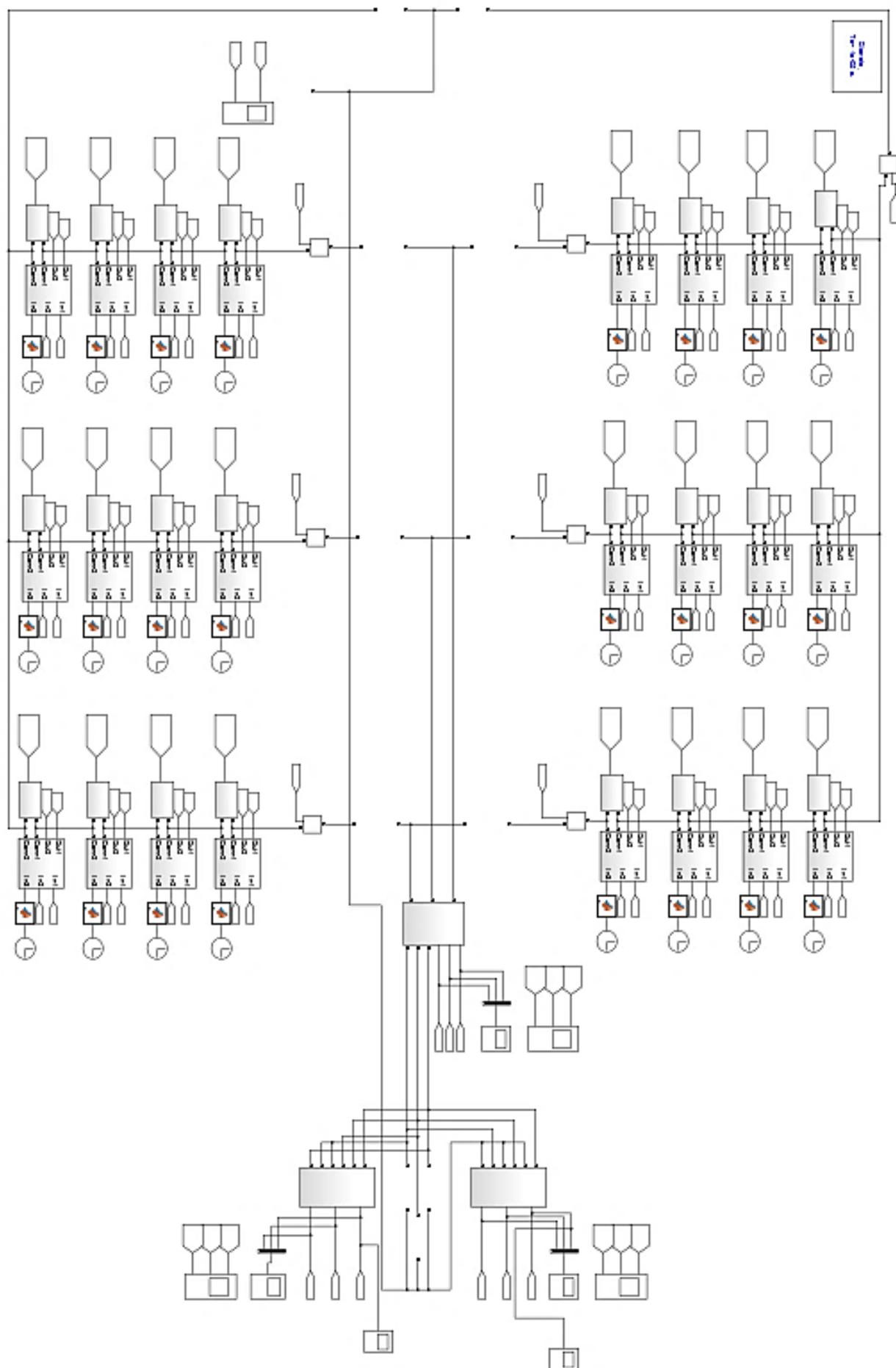


Figura C.19: Setor (c) da Figura C.1 - DSCC com chaves de *bypass*.

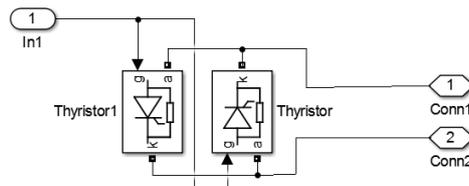


Figura C.20: Tiristores potência inseridos em paralelo com cada submódulo do DSCC no Setor (c).

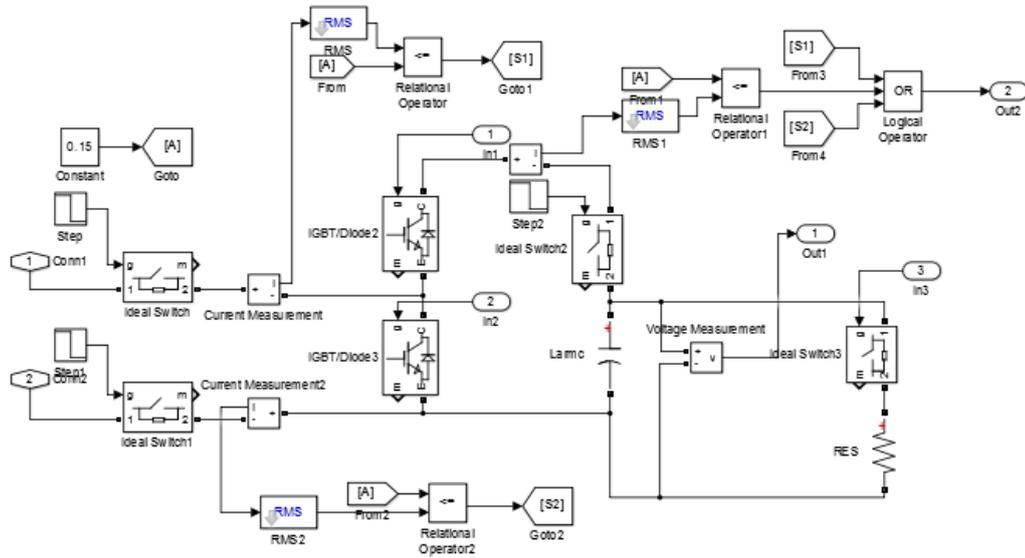


Figura C.21: Submódulo do DSCC com detecção de faltas pertencente ao Setor (c).

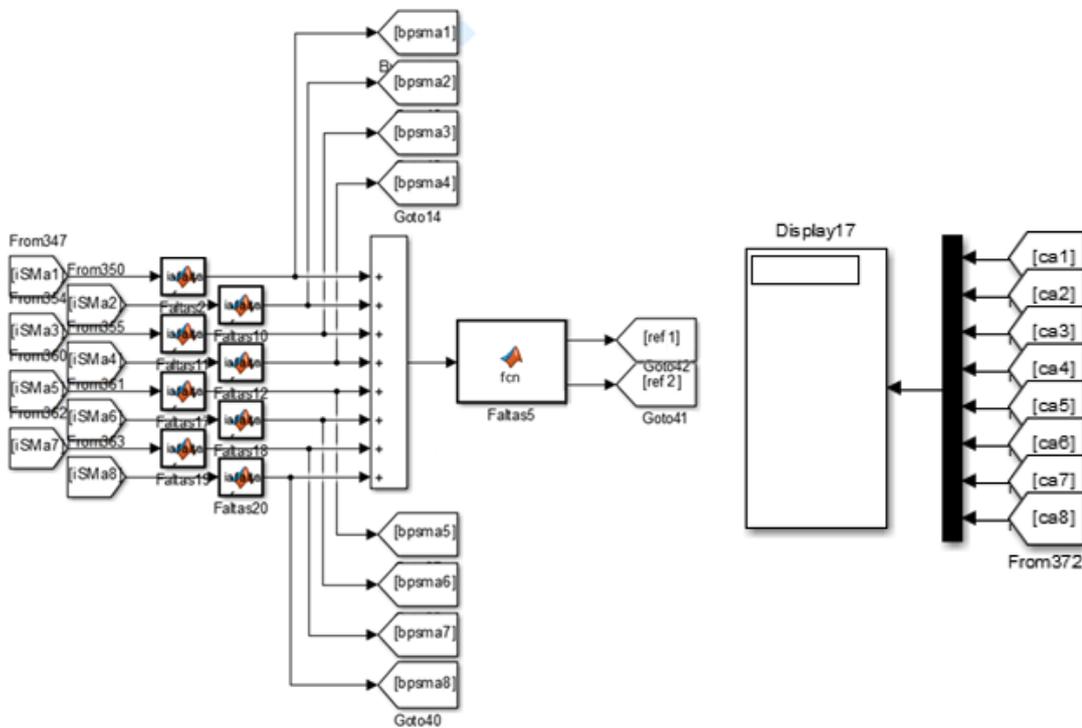


Figura C.22: Setor (b) da Figura C.1: Sistema de detecção de faltas, acionamento dos chaves de *bypass* e emissão do sinal de referência alterado para o controle do DSCC.

Os demais setores ((d) até (l)) possuem a mesma estrutura ilustrada nas Figuras C.3 à C.8, respectivamente.